

# The Topology Structure Design of High Speed Digital Interface Based on Signal Integrity Analysis

Jinfu Lou, Fuhong Zhang, Rong Zeng

School of Communication Engineering, Hangzhou Dianzi University, Hangzhou  
Email: [tcljf19890509@163.com](mailto:tcljf19890509@163.com)

Received: Oct. 20<sup>th</sup>, 2014; revised: Nov. 15<sup>th</sup>, 2014; accepted: Nov. 21<sup>st</sup>, 2014

Copyright © 2014 by authors and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

---

## Abstract

In order to further improve the signal integrity in high speed digital interface, this paper firstly introduces several common high speed interconnect topologies and analyzes their advantages and disadvantages briefly. Then this paper also analyzes the signal integrity of high speed interconnect topology between TMS320C0455 and DDR2 (MT47H64M16) using SigXplorer PCB SI and Allegro and explains the design process of pre-simulation by tools of simulation in high speed circuit design. It will be helpful for designers to such high speed interface.

## Keywords

High Speed Interconnect, Topology Structure, Simulation, Signal Integrity

---

# 基于SI分析的高速数字接口拓扑结构设计

楼津甫, 张福洪, 曾 榕

杭州电子科技大学通信工程学院, 杭州  
Email: [tcljf19890509@163.com](mailto:tcljf19890509@163.com)

收稿日期: 2014年10月20日; 修回日期: 2014年11月15日; 录用日期: 2014年11月21日

---

## 摘要

为了进一步提高高速数字接口的信号完整性，文章首先介绍了几种常见的高速互连拓扑结构，并对其优劣进行简要的分析，之后利用 Cadence SigXplorer PCB SI 和 Allegro 对 TMS320C0455 和 DDR2 (MT47H64M16) 之间的高速接口电路拓扑结构进行信号完整性设计，阐述了高速电路设计过程中利用仿真工具对 PCB 进行前仿真的设计流程，以便于开发人员对此类高速接口的设计。

## 关键词

高速互连，拓扑结构，仿真，信号完整性

## 1. 引言

信号完整性(SI)是在高速产品中由互连线引起的所有问题，它主要研究互连线与数字信号的电压电流波形相互作用时其电气特性参数如何影响产品的性能[1]。其实简单的理解就是只要是影响了信号质量或时序的问题，就可归结为信号完整性问题。随着信号频率的不断提高，高速互连线之间的拓扑电路的设计方法也在发生变化，当下一般对这类拓扑的设计，大都采用一些既定的方案或经验法则，往往在制板调试阶段才能发现信号的传输出现问题，这样重新再板既费时费力，又增加了成本，本文基于 SI 的仿真设计就是在电路设计的同时已经考虑到了 SI 的风险，并使用仿真工具来量化信号的各项性能指标，指定详细的 SI 设计规则，使设计的电路最大可能的降低风险。

国外的科技巨头早就意识到了这个问题，并拥有自己专属的信号完整性(SI)工程师，他们与电路设计师以及 PCB 设计师一起相互协作，共同解决在产品研发过程中所出现的信号完整性问题。根据尚普咨询给出相关数据显示，过去十年来，全球 PCB 持续向亚洲尤其是中国大陆迁移，中国大陆迅速成为电子产品和 PCB 生产大国，并且在未来几年内将继续保持快速增长，这种快速增长也必将促使国内各研究机构和公司在信号完整性理论基础、设计流程、工程实践中加大投入资金和人力。

## 2. 高速互联的拓扑结构

信号完整性问题并不是指某一类特定的问题，它是各种影响信号质量和时序的问题的组合叠加，又由于各种问题的相互影响，所以对某个特定的系统进行信号完整性分析往往是复杂的，比如平行走线间的反射与串扰，反射会加大串扰的程度，而串扰信号中也伴随着反射，使信号恶化更加严重。我们知道，反射的最直接原因就是互连线中阻抗的不连续，非均匀传输线，引脚、过孔、接插件，凡是阻抗发生改变的地方，信号流经时便会发生反射，造成波形失真。此外，走线分支也会造成信号路径的阻抗不连续，这使得我们在进行电路设计时需要考虑到对于拓扑结构的设计，特别是在多分支以及走线密度较大的情况下，应更多的考虑拓扑结构对于信号的影响。下面对常见的几种高速互联拓扑结构进行简要的介绍：

### (1) 点对点拓扑结构

点对点拓扑结构是最简单、最常见也是最理想的连接方式，由于其单一驱动器，单一接收器的特点，整个网络的阻抗和时序关系容易控制，所以对于关键信号或对信号质量要求非常高的信号，比如高速电路的时钟信号，在条件允许的情况下尽可能的使用点对点拓扑结构。对于这种拓扑结构中的端接方式，根据需要可以选择的余地较大，既可以进行串联端接也可以进行并联端接。点对点拓扑结构

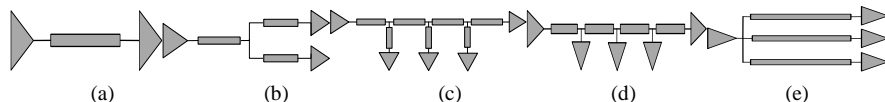


Figure 1. Point to point topology  
图 1. 点对点拓扑结构

如图 1(a)。

#### (2) T 形分支拓扑结构

T 形分支拓扑结构在一个芯片驱动多个负载且信号是单向传输的时候比较常用，通常使用源端串联端接方式，这种拓扑结构的关键在于 T 型分支的两个臂等长，如果分支不等长，各个分支处接收端信号波形将急剧恶化，所以又称为等臂分支拓扑结构。T 形分支拓扑结构如图 1(b)所示。

#### (3) 菊花链拓扑结构

菊花链拓扑结构是链式结构的一种，也是一个芯片驱动多个负载时的常用的形式，其结构的宗旨是用最短的互连传输线把所有的接收端连接起来，从主驱动器开始，通过传输线连接到与主驱动器最近的接收端上，然后查找与该接收端最近的未连接的接收端，将两者用传输线连接起来，然后再以刚加入连接的接收端为基准，再次查找最近的未连接接收端进行连接，依此类推，直至完成所有的接收端连接，连接完成后，从主驱动器开始，所有的缓冲器连接成链状。此结构的关键点是要保证主干线上第一个分支后的各个分段长度和分支桩线长度尽量短，最好小于上升时间的  $1/8$ [2]。端接方式常使用末端并联端接，上拉、下拉、戴维南等端接都可以，但注意极少用串联端接，原因在于串联端接方式中传输线上的信号为半幅度传输，只有末端反射信号回来后才能达到满幅，所以最开始的几个分支上的接收器可能很长时间一直处于信号的中值电平附近，信号边沿出现台阶，如果有干扰噪声，很可能造成接收器的误判。菊花链拓扑结构如图 1(c)所示。

#### (4) Fly-by 拓扑结构

该结构是菊花链拓扑结构的改进形式，区别在于分支处 stub 线的长度为 0。由于这类链式结构的桩线长度对于各个接收端信号的质量影响很大，基本上是桩线长度越短，信号质量越好，fly-by 结构由于桩线长度已经减少到了几乎为 0，所以此结构比菊花链拓扑结构更容易保证信号的质量。不同于 DDR2 的 T 型分支拓扑结构，DDR3 多采用 fly-by 拓扑结构[3]。如图 1(d)。

#### (5) 星形拓扑结构

星形拓扑结构是以驱动器中心，各分支从驱动端直接分开走线的一种拓扑结构，在实际应用中往往从驱动器拉出极短的一小段线再分支，这种结构如果处理得当的话可以得到较好的信号质量。端接方式采用各个分支单独进行串联端接，在串联端接电阻的选择上也分为分支等长和分支不等长两种方式。这种拓扑结构由于在驱动多个负载时，分支过多可能找不到合适的端接电阻，所以在实际使用上有一定的限制。拓扑结构如图 1(e)。

### 3. 高速数字信号线的拓扑结构设计

在高速电路布线过程中，经常会遇到需要将走线分成 2 个或者多个支路的情况。如果不认真处理，将产生严重的反射，对信号的时序造成影响。

在某水声通信系统项目设计中，采用了 TI 公司的 TMS320C6455 处理器，TMS320C6455 自带有一个 DDR2-533 控制器，可支持最大 4 Gbit 的 DDR2 存储空间，DDR2 总线数据位宽为 16 bit。此外本项目使用四片 Micron 公司的 MT47H64M16 DDR2 存储颗粒组成 2GbitDDR2 存储空间。由于在处理器和存储芯片间的连接存在一对多的关系，所以需要设计一个合适的拓扑结构来抑制反射。

考虑到这里对接口拓扑结构的设计属于前仿真的内容，所以先暂不考虑 PCB 板的层叠结构、电源网络以及目标阻抗等问题，但有一件事必须在仿真前完成，那就是给器件赋上相应的模型。从 Micron 公司和 TI 公司官网下载 MT47H64M16 和 TMS320C6455 的 IBIS 模型分为 u68a.ibs 和 sprm205 b.ibs，通过 Cadence 的 Model Integrity 工具转换成.dml 文件，再由 Cadence 仿真软件将模型导入到器件中。

下面以 TMS320C6455 和各 DDR2 之间的某地址线为例来进行拓扑结构的仿真，其他数据线和地址线可同理对待，信号上升时间为 145 ps，信号下降时间为 165 ps。首先进行拓扑结构建立，这里使用理想传输线，如图 2(a)。图中提取的 T 形拓扑结构分支并不等长且没有进行端接匹配，接收端仿真波形如图 2(b)所示，图 2(c)为其中一个波形的放大图，图中可以看出，接收端的波形失真严重，信号上升沿有两个非单调点，这将会造成误触发。此外对于 1.8 V 的信号高电平，1.970 V 的最大上冲和 1.635 V 的最大下冲显然过大了，这将会造成近 10%的信号波动，这在高速接口设计中通常是不被允许的。改进 T 形拓扑结构，首先利用蛇形走线使 T 形结构的分支等长，然后对源端进行串联端接使驱动器的阻抗与传输线的特性阻抗匹配，为了进行源端端接匹配，首先需要知道驱动器内阻，由 IBIS 模型中的 Pullup 的 I/V 曲线和 Pulldown 的 I/V 曲线计算得到驱动器内阻大约在 43~47 ohm 之间[4]，本文选择 47 ohm 作为内阻，则匹配电阻为 13 ohm，改进后的结构如图 3(a)，其接收端的波形见图 3(b)，图 3(c)是其中一个波形的放大图，由图中所示，接收端波形大致完好，但上升沿变缓，消耗了一定的时序余量。

已知菊花链拓扑结构在一个芯片驱动多个负载时也是常用的形式，所以手动更改拓扑结构为菊花链形式，如图 4(a)，该拓扑中已将 stub 设置为 0(即 Fly-by 结构)，主干线上第一个分支后的各个分段长度尽量短并保持等距，在末端用戴维南端接匹配，用以减小反射噪声，各接收端波形如图 4(b)，图 4(c)为其中一个波形的放大图。图中接收端波形有明显的振铃现象，并且由于戴维南端接的原因，高电平被拉低到 1.257 V，低电平相应被拉高到 528.9 mV，而上冲的最大幅度竟然达到 1.502 V 和 308.9 mV，稍有噪声便难以正确接受信号。

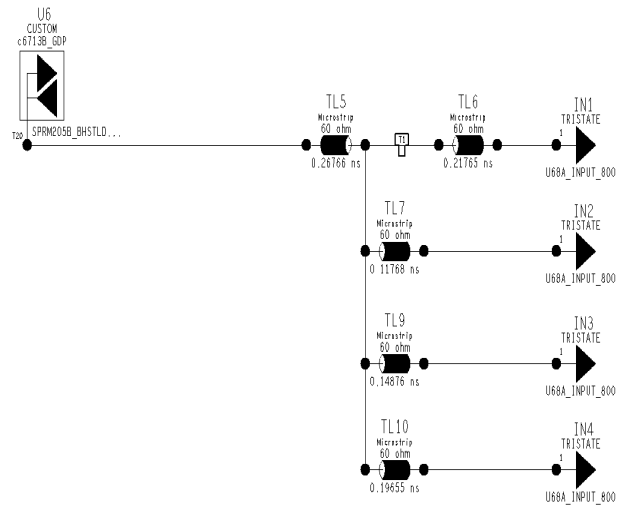
最后进行星形拓扑结构的仿真，这是很理想的情况，即驱动端直接引出各分支，并且在各分支等长处理的情况下分别进行串联端接，串联电阻的选择满足式(1)。如果各分支不等长，那么串联电阻选择需满足式(2)。式中  $N$  为分支个数， $Z_{out}$  为驱动器的输出阻抗[5]。

$$R_t = Z_0 - N \times Z_{out} \tag{1}$$

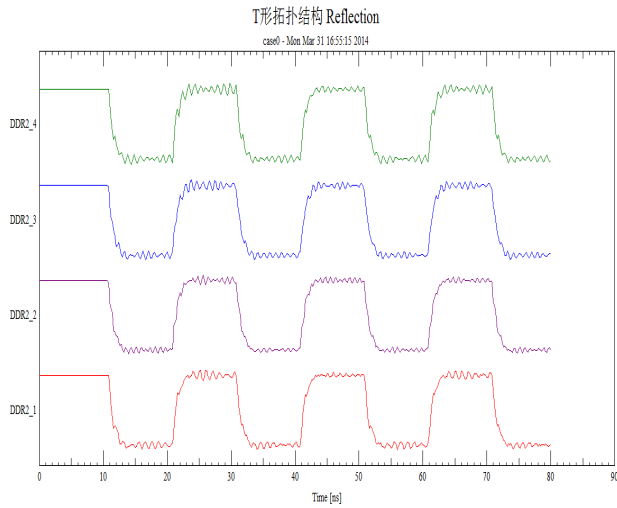
$$Z_{out} // \left( \frac{R_t + 50}{N - 1} \right) + R_t = 50 \tag{2}$$

在已知驱动器内阻为 47 ohm 的情况下，由(1)式得  $R_t = -128$  ohm，可知在这样的条件下无法通过串联端接的方式来使几个接受信号达到较理想的质量。星形拓扑结构如图 5(a)，其接收端波形如图 5(b)，可以看出本来比较理想的星形拓扑由于驱动器内阻过大或者负载较多，使得无法端接而令接受波形无法达到理想，此外由于此结构需要直接从驱动器引出各分支，也使得布局布线的难度加大，所以在当前这个系统中不适宜采用星形拓扑。

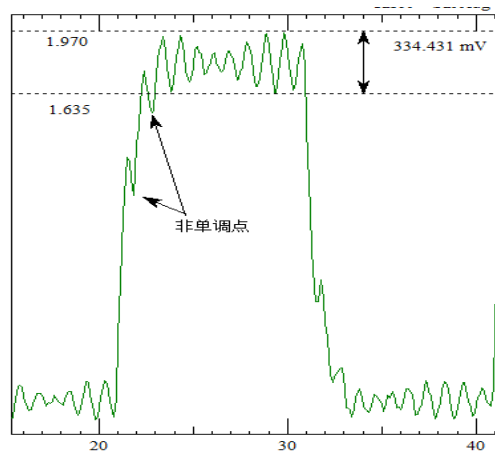
从以上分析中可以看出，采用菊花链拓扑结构和星形拓扑结构的接收端波形虽然整体波形未发生较大改变，但都有一定程度的失真，而采用改进后的 T 形结构，则使信号边沿严格单调，消除了振荡等影响，满足实际电路需求。此外，在布线完成后需要对这类关键信号再次进行仿真，即后仿真，确保设计无差错。



(a)



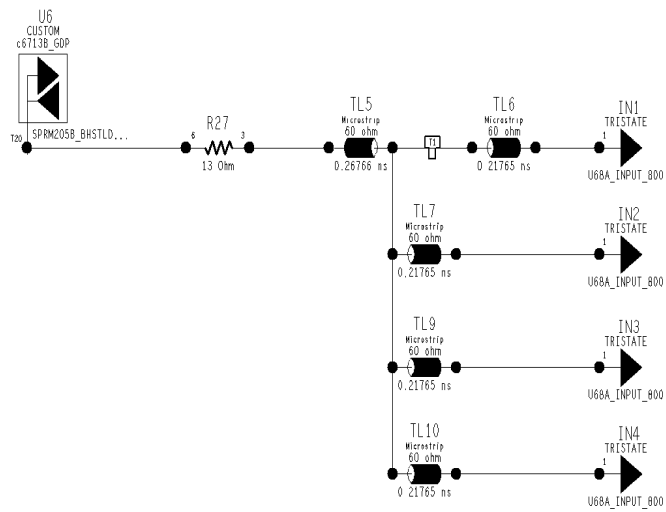
(b)



(c)

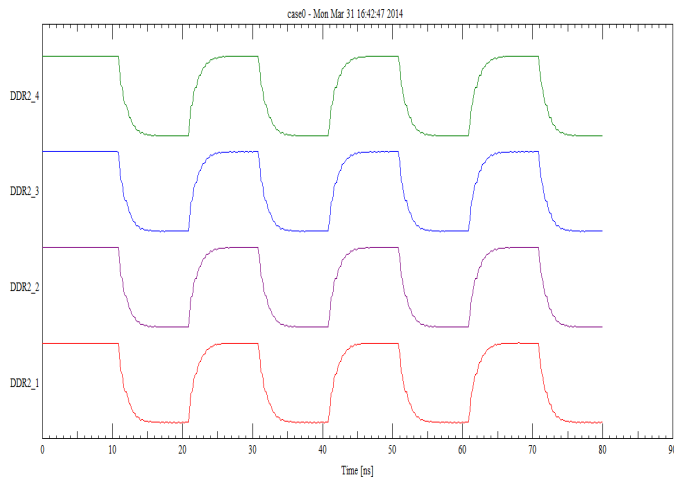
Figure 2. (a) T topology; (b) Receiving waveform; (c) Enlarged view

图 2. (a) T 形拓扑结构; (b) T 形接收端波形; (c) 放大图

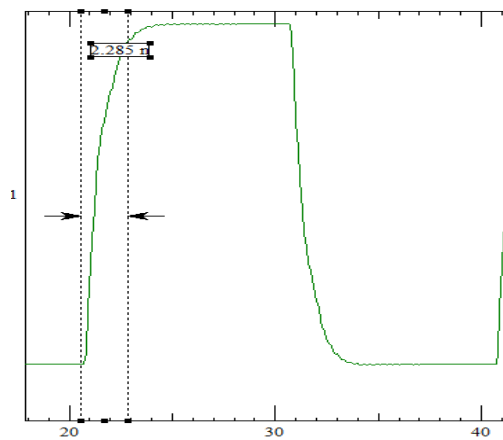


(a)

改进T形拓扑结构 Reflection

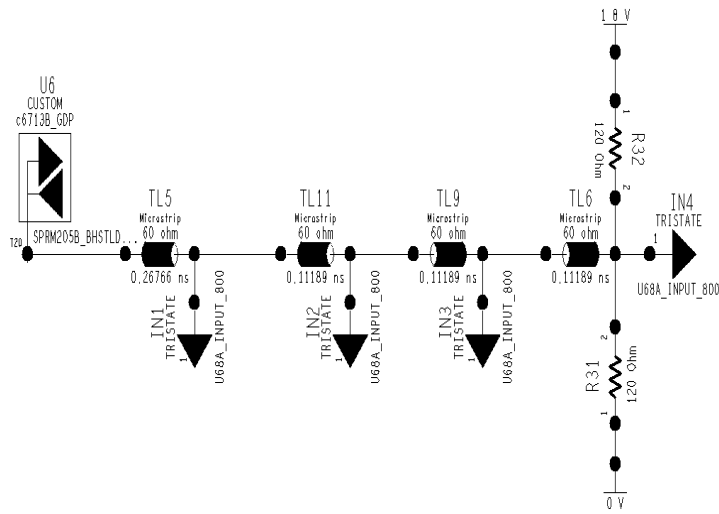


(b)

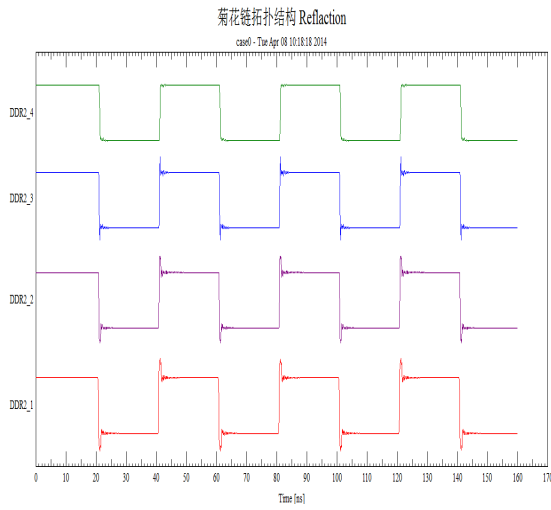


(c)

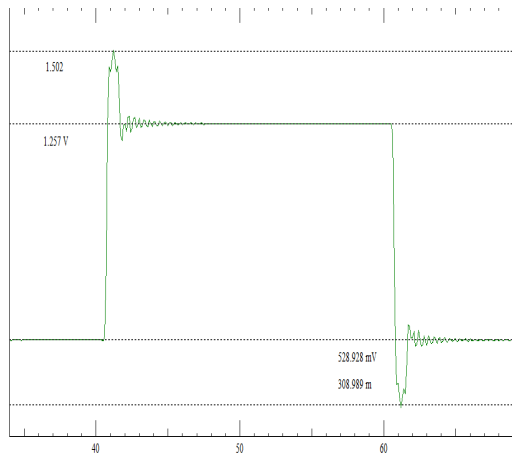
Figure 3. (a) Improved T topology; (b) Receiving waveform; (c) Enlarged view  
图 3. (a) 改进后 T 形拓扑结构; (b) 接收端波形; (c) 放大图



(a)



(b)



(c)

Figure 4. (a) Daisy chain topology; (b) Receiving waveform; (c) Enlarged view

图 4. (a) 菊花链拓扑结构; (b) 接收端波形; (c) 放大图

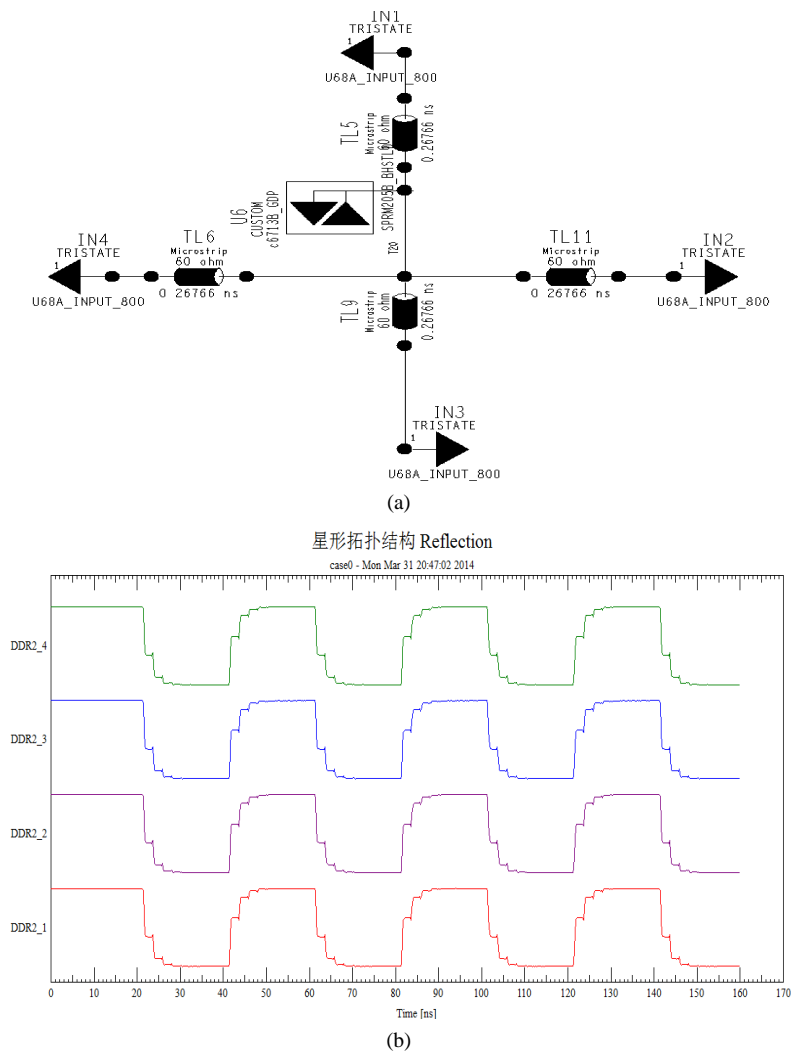


Figure 5. (a) Star topology; (b) Receiving waveform  
图 5. (a) 星形拓扑结构; (b) 星形拓扑结构接收端波形

#### 4. 结束语

本文分析了常见的几种高速互连拓扑结构，并且结合实际水声项目，介绍了高速数字接口电路的拓扑结构设计的一般方法，文中从对 TMS320C6455 和 DDR2 之间电路的反射仿真结果对比中可以得知，选取改进的 T 形拓扑结构后的信号质量明显高于其他几种拓扑结构。本文中设计的某 PCB 主板现已投入使用，通过对板上的 DDR2 存储器进行实测，所设计的高速接口拓扑结构可以在 200 MHz 总线速率下稳定运行，基本符合设计预期。

#### 参考文献 (References)

- [1] Bogatin, E. (2005) Signal integrity: Simplified. Publishing House of Electronics Industry, Beijing, 2-3.
- [2] 于争 (2013) 信号完整性揭秘于博士 SI 设计手记. 机械工业出版社, 北京, 129-130.
- [3] 张超 (2013) 基于 DDR3 系统互联的信号完整性设计. 计算机工程与设计, 616-622.
- [4] 徐文波 (2012) IBIS 模型的信号完整性研究与仿真应用. 机电工程, 123-125.
- [5] 李英丹 (2012) 基于 IBIS 模型的高速 Loadboard 设计信号完整性仿真研究. 现代电信科技, 42-48.