

面向创新与实践能力培养的数字电路实验教学 改革深度探索

赵磊

成都信息工程大学工程实践中心, 四川 成都

收稿日期: 2026年3月23日; 录用日期: 2026年4月21日; 发布日期: 2026年4月29日

摘要

伴随着集成电路、EDA技术的发展,传统以中小规模集成电路(SSI/MSI)和面包板为主的数字电路实验教学模式已经无法满足新时期电子信息类人才的培养要求。为了突破目前实验教学中存在的验证性实验多、设计手段落后、与工程实践脱节等问题,本课题提出建立以HDL语言为设计核心、以FPGA为统一实现平台、以“基础-综合-创新”三层次项目驱动的实验教学新模式,并重点阐述了其中综合设计层的改革实践,包括具体的设计思想、能力培养目标、项目的详细实施步骤等。通过教学实践证明:此实验改革充分调动了学生的积极性,能够明显提高学生在系统架构、模块化设计、工程实现以及解决复杂工程问题方面的能力。

关键词

数字电路, 实验教学改革, FPGA, Verilog HDL, 系统级设计, 项目驱动

A Deep Exploration of Outcome-Based Digital Circuit Experiment Teaching Reform for Innovation and Practice Ability Cultivation

Lei Zhao

CUIT EPC, Chengdu University of Information Technology, Chengdu Sichuan

Received: March 23, 2026; accepted: April 21, 2026; published: April 29, 2026

Abstract

With the advancement of integrated circuits and EDA technologies, the traditional digital circuit

experiment teaching model, primarily based on Small-Scale Integration/Medium-Scale Integration (SSI/MSI) components and breadboards, can no longer meet the requirements for cultivating electronic information talents in the new era. To overcome the prevalent issues in current experiment teaching—such as an over-reliance on verification-based experiments, outdated design methods, and a disconnect from engineering practice—this project proposes the establishment of a new experimental teaching model. This model is centered on HDL as the core design language, utilizes FPGA as a unified implementation platform, and is driven by a “basic-comprehensive-innovative” three-level project-based approach. The paper elaborates on the reform practices within the comprehensive design layer, including the specific design philosophy, skill development objectives, and detailed implementation steps of the projects. Teaching practice has proven that this experimental reform significantly enhances student’s initiative and markedly improves their abilities in system architecture, modular design, engineering implementation, and solving complex engineering problems.

Keywords

Digital Circuits, Experiment Teaching Reform, FPGA, Verilog HDL, System-Level Design, Project-Driven

Copyright © 2026 by author(s) and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY 4.0).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

1. 引言

伴随集成电路与电子设计自动化(EDA)技术的迅猛发展,传统基于 SSI/MSI 和面包板的数字电路实验教学,越来越不能适应当今对电子信息类专业的培养要求,实验内容陈旧、无法培养学生创新思维能力、实验效率低等缺陷日益凸显,造成与学科前沿相脱节、教学效果不佳等情况[1]。尤其是针对验证性实验较多、设计手段单一、脱离工程实际等诸多问题,本文针对数字电路课程,以硬件描述语言(HDL)作为核心、以 FPGA 为统一实现平台、以“基础-综合-创新”三个层次项目为主线进行了数字化教学改革尝试,意在推动数字电路实验教学由以 SSI/MSI 以及实验箱为基础的验证性实验教学转变为现代电子设计方法中使用 HDL 和 FPGA 的方法教学,把培养学生的工程实践能力和创新意识能力作为实验教学的核心目的。

2. 改革核心思路与总体框架

本次改革的总体框架是“三层次一体化”教学,该教学框架依托于现代电子设计技术发展趋势,贴合工程人才培养的核心需求[2],以达到层次化的学习目标。

层次一是基础入门层,目标是学会使用工具链以及设计流程。内容包括使用 HDL 完成基本逻辑门、组合电路(编码器、译码器、数据选择器)、时序电路(D 触发器、计数器)的行为级和 RTL 级描述;重点训练语言、仿真的基本用法(功能仿真、时序仿真)及基于 FPGA 开发板基础验证[3]。具体方法是由教师提供范例和格式,学生模仿和举一反三。

层次二为综合设计层,目标是培养训练系统集成、工程实现的能力,这是此次改革的重点与核心所在。内容包含了若干个小型数字系统项目的组内自主选择或者顺序完成任务。达到该层次的方法为:教师发放项目任务书并确定项目的功能指标、性能要求;学生自主完成项目方案论证、模块划分、代码编写、系统集成及调试,并最终撰写出项目设计报告[4]。

层次三是探索创新层。目标为燃起科研志趣,培育创新思维。在这个层次中,实验内容可设置为诸如基于 OV7725 的图像采集显示、软件无线电(SDR)基础、简易串行通信综合系统这类学科前沿或者比赛中的相关课题[5]。方法也有相应调整:采用“导师制”和“项目制”的方式,实现完全开放、大胆创新与尝试[6]。

3. 综合设计层实验项目的具体改革实践与详解

综合设计项目起到承上启下的作用,考虑到这一点,我们在设计时有针对性地选用了比较经典的项目,并尽量做到既要有代表性又可以拓展[7]。

3.1. 数字电子钟设计

数字电子钟设计这个项目是经常用来教大家用状态机组装一种经典逻辑的案例,里面涵盖了所有的时序和组合逻辑的知识:计数器、译码显示、状态机、分频器、按键消抖等。

核心功能要求如下:展示时间(显示 6 位数数码管或者 LCD);带有校时校分的功能(用按键完成);发出每小时整点的信号,如点亮 LED 灯或者报时器发声等。

能力培养与具体实施:要求学生将系统划分为不少于 5 个模块。**divider.v**:分频模块的功能是用板载的 50 MHz 高频时钟对时钟信号分频生成每秒一次的 1 Hz 秒时钟信号,有助于理解时钟和同步的设计思想。**counter_60.v**、**counter_24.v**:计数器文件。① 设计 BCD 码模 60、模 24 计数器;② 掌握计数器的设计及级联。**key_debounce.v**:按键消抖模块,务必使用状态机去完成机械式按键的消抖处理,该模块是从理想的仿真走上工程化实践道路上最为重要的一步[7]。**adjust_fsm.v**:校时状态机模块采用有限状态机(FSM)来控制校时的状态变换(普通计时、校时、校分),是控制逻辑的核心[8]。**top.v**:实现顶层模块,实例化所有子模块并完成各模块之间的信号连接,完成整个系统集成训练工作[3]。

工程思维方面,学生需要思考按键消抖、多时钟域的电路设计,以及设置正确的显示扫描频率等问题。

3.2. 简易数字频率计设计

本项目能直接体现测量原理(等精度测量法或直接测频法)、高速计数、精确定时以及控制逻辑的结合,具有较强的工程实践意义。

核心功能要求:测量范围:1 Hz~10 MHz。结果显示:采用 4 位数数码管动态扫描显示,并以 Hz 为单位。量程可部分自动切换。

能力培养与具体实施:利用“直接测频法”,即在固定闸门信号 $T = 1\text{ s}$ 内测量被测信号脉冲数 N ,则 N 即为该信号的频率值,让学生思考此法的优缺点:测量低频信号时存在误差。

模块划分:**gate_gen.v**:闸门信号产生电路采用基准时钟分频的方法获得准确的 1 s 闸门信号。**counter.v**:测量计数器模块,闸门信号有效时对被测信号 **clk_test** 计数,该模块需要使用超过 32 位的寄存器。**latch.v**:数据锁存模块,在闸门信号的下降沿锁存计数器值,防止显示数据跳动。**display.v**:显示控制部分,把锁存寄存器锁住的二进制数转换成 BCD 码后去驱动数码管。

进阶挑战:优秀学生可以使用“等精度测量法”,即测量被测信号和基准时钟的脉冲数,从根本上消除 ± 1 字的误差,以获得高精度测量值,大幅提高学生的算法硬件实现水平。

3.3. 数字密码锁控制器

本项目是数据比较、数据存储、数据输入处理及数据状态控制的“数据通路 + 控制器”系统的典型例子。

核心功能要求：支持 4~6 位 10 进制的预设值(编码固化或者拨码开关设置)。使用矩阵键盘或者独立按键输入密钥。输入时密码以“*”显示，输入完成后校验密码正确性。通过 LED 模拟锁的状态输出(LED 亮代表开锁)。具有故障告警、清零功能。

能力培养与具体实施：键盘扫描：编写矩阵键盘扫描驱动电路并获取键值。移位寄存器：利用移位寄存器完成密码输入序列的存储以及比对。复杂状态机：将功能在状态机中实现，包含“待机”、“输入”、“校验”、“开锁”、“报警”等多种状态，是项目的控制核心。

安全扩展：让学生思考防止暴力破解的方法(例如错误三次后锁门)，增加“锁定”状态，加深学生对于状态机的理解。

3.4. 交通灯控制器

这是时序逻辑与状态机最直接的体现，可作为完整状态机设计项目的入门案例[9]。

核心功能要求：模拟十字路口主干道与支干道的交通灯控制。遵循固定工作时序：主干道绿灯 50 s、黄灯 5 s；支干道绿灯 30 s、黄灯 5 s。利用数码管或者 LED 条形灯实现倒计时显示。

能力培养与具体实施：确定四种核心状态：S0(主干道绿灯、支干道红灯)、S1(主干道黄灯、支干道红灯)、S2(主干道红灯、支干道绿灯)、S3(主干道红灯、支干道黄灯)。

模块设计：timer.v：倒计时定时器组件，根据当前状态加载不同初始值并倒计时计数，归零后触发状态转移信号。traffic_fsm.v：交通灯状态机模块，通过接收定时器信号并按照规定转换规则(次态逻辑)，实现四个状态的循环，并通过输出端发送相应控制信号。decoder.v：译码模块，将倒计时数值及状态信号译码成 LED 灯、数码管的控制信号。

进阶扩展：引入“夜间模式”(黄灯闪烁)、基于传感器(按键模拟)请求中断的“紧急车辆优先”模式，训练学生解决问题中的异常流，提升项目设计的挑战性。

4. 实施方案与保障

在教学安排方面，增设“数字电路实验”独立课程，基础实验 16 学时、综合设计 32 学时(每个项目约 8 学时)、创新探索 16 学时。

在资源保障方面，开发平台选用集成数码管、按键、LED、VGA、蜂鸣器等外设的 FPGA 实验板，如 Altera CycloneIV 系列或 Xilinx Artix-7 系列。编写配套《基于 HDL 与 FPGA 的数字系统设计实验教程》，在各综合项目前附设计任务书、原理分析和难点提示，不提供完整设计代码，供学生自主学习。

考核与评价方面，综合项目考核应该包含以下环节：预习报告(方案设计 + 模块划分)占 20%、验收结果(功能正确性、稳定性)占 50%、实验报告(代码质量、仿真分析、问题调试总结)占 30%。期末考核设立“小型项目现场设计”环节，要求学生在指定时间内完成简化版系统设计，考察学生的知识迁移能力和设计熟练度。

5. 结语

本文研究了将传统单一的 74 系列芯片验证实验改为数字钟、频率计、密码锁、交通灯控制器等综合性、创新性设计项目，并依托 HDL 和 FPGA 现代设计方法开展实验教学，从本质上转变了课堂教学模式，由传统“验证物理定律”的实验课升级为“数字系统设计创造”的设计工作室课堂[10]。一方面锻炼学生的工程设计能力；更重要的是培养学生的系统设计思想、创新意识以及解决实际问题的信心，为后续微处理器、SoC 等课程的学习奠定基础，助力学生胜任相关工程岗位工作。

从教育理论的视角来看，本研究提出的“基础 - 综合 - 创新”多层次项目驱动教学模式，深度契合了成果导向教育(OBE)与 CDIO 工程教育的核心理念，实现了现代教育理论与实验教学实践的深度融合。

具体而言,该模式完全遵循 OBE 的反向设计原则,以“培养学生工程实践能力与创新意识”这一最终能力产出为核心目标,反向设计了从基础工具掌握到综合系统实现、再到前沿创新探索的全流程教学环节,打破了传统以知识输入为核心的教学逻辑,实现了从“教什么”到“学生学到什么”的根本性转变[11]。同时,该模式也完整复现了 CDIO 工程教育模式的全流程培养要求,在综合设计项目中,学生自主完成项目方案论证(Conceive, 构思)、模块划分与代码设计(Design, 设计)、FPGA 板级调试与功能实现(Implement, 实现)、系统功能验证与运行(Operate, 运作),完整覆盖了工程产品的全生命周期开发流程,帮助学生建立起完整的工程系统思维,实现了从知识点学习到工程能力培养的跃迁[12]。

但本研究仍存在一定的局限性:一方面,该教学模式对师资的工程实践能力提出了更高要求,教师不仅需要掌握 HDL 与 FPGA 开发技术,还需要具备项目化教学的组织与引导能力,对师资队伍的建设提出了新的挑战;另一方面,当前的教学模式尚未充分覆盖基础薄弱学生的个性化需求,部分学生在从基础层向综合层过渡的阶段存在一定的学习门槛,需要更具针对性的引导与帮扶。

因此,未来的研究可从三个方向进一步深化探索:一是引入 AI 辅助教学技术,通过代码智能分析、错误自动诊断、个性化学习路径推荐等功能,为学生提供实时的个性化指导,有效降低学习门槛,兼顾不同层次学生的学习需求;二是构建在线虚拟实验平台,结合远程 FPGA 技术,打破硬件资源的时空限制,支持学生随时随地开展实验,同时实现实验过程的全流程数据化记录,为教学优化提供数据支撑;三是进一步深化产教融合,将企业的真实工程需求引入实验项目中,进一步提升实验教学与产业需求的对接程度,培养更符合产业发展需求的高素质工程人才。

参考文献

- [1] 阎石. 数字电子技术基础[M]. 北京: 高等教育出版社, 2016.
- [2] 夏宇闻, 韩彬. Verilog HDL 数字系统设计教程[M]. 北京: 北京航空航天大学出版社, 2017.
- [3] 潘松, 黄继业. EDA 技术与 Verilog HDL [M]. 北京: 清华大学出版社, 2024.
- [4] 杨军. 基于 FPGA 的数字系统综合设计与实践[M]. 北京: 电子工业出版社, 2014.
- [5] 吴厚航. 深入浅出玩转 FPGA [M]. 北京: 北京航空航天大学出版社, 2023.
- [6] 张辉, 王彦. 项目教学法在《EDA 技术及应用》课程中的应用[J]. 新课程研究(高等教育), 2011(2): 73-76.
- [7] 宋阳, 贾惠芹. 基于工程能力的数字电路实验教学设计与实践[J]. 电子技术, 2024, 53(3): 363-365.
- [8] 黄沛昱, 应俊, 罗一静. 基于工程实践能力培养的数字电路实验教学教学改革[J]. 教育教学论坛, 2017(31): 250-252.
- [9] 毕满清. 电子技术实验与课程设计[M]. 北京: 机械工业出版社, 2018.
- [10] 王成华. 模拟电路与数字电路实验教程[M]. 北京: 北京航空航天大学出版社, 2024.
- [11] 李志义. 成果导向的教学设计[J]. 中国大学教学, 2015(3): 32-39.
- [12] 顾佩华, 胡文龙, 林鹏, 等. 从 CDIO 在中国到中国的 CDIO: 发展路径、产生的影响及其原因研究[J]. 高等工程教育研究, 2017(1): 24-43.