Advances in Education 教育进展, 2026, 16(8), 1757-1764
Published Online August 2026 in Hans. https://www.hanspub.org/journal/ae
https://doi.org/10.12677/ae.2026.1681813

Hans汉斯

科研反哺教学模式下《射频集成电路设计》课程教学改革与实践

——以GaAs Sub-GHz高精度移相器芯片设计为例

郭本青，刘力瑞

成都信息工程大学通信工程学院，四川 成都

收稿日期：2026年7月17日；录用日期：2026年8月19日；发布日期：2026年8月27日

摘　要

作为微电子与集成电路工程教育的核心高级课程，《射频集成电路设计》(RF IC Design)传统教学普遍面临理论抽象、教学案例脱离工业界前沿、学生缺乏高频工程直觉等核心挑战。本文提出了一种基于“科研反哺教学”的项目驱动式教学改革路径。该方案以一款发表于行业前沿、基于0.15-μm GaAs工艺的6位Sub-GHz宽带数字控制移相器芯片为贯穿式核心教学案例。通过将“电感复用拓扑”“等效带通网络(EBP)”以及“主辅电感协同调谐”等科研创新点转化为阶梯式实训模块，引导学生在全面仿真与多维工程权衡中深化对高频底层逻辑的理解。实践表明，该模式有效消解了理论与实践的代差，显著提升了学生的工程综合实践能力与学术创新思维。

关键词

射频集成电路，教学改革，科研反哺教学，移相器设计，砷化镓单片集成芯片

Teaching Reform and Practice of the “RF Integrated Circuit Design” Course under the Research-Informed Teaching Model

—Taking the Design of a GaAs Sub-GHz High-Precision Phase Shifter Chip as an Example

Benqing Guo, Lirui Liu

Communication Engineering School, Chengdu University of Information Technology, Chengdu Sichuan

Received: July 17, 2026; accepted: August 19, 2026; published: August 27, 2026

文章引用: 郭本青, 刘力瑞. 科研反哺教学模式下《射频集成电路设计》课程教学改革与实践[J]. 教育进展, 2026, 16(8): 1757-1764. DOI: 10.12677/ae.2026.1681813

Abstract

As a core advanced course in microelectronics and integrated circuit engineering education, the traditional teaching of "RF Integrated Circuit Design" (RF IC Design) commonly faces pain points such as abstract theory, teaching cases disconnected from the industrial frontier, and a lack of high-frequency engineering intuition among students. This paper proposes a project-driven teaching reform path based on the "research-informed teaching" model. This approach adopts an industry-leading 6-bit Sub-GHz broadband digitally controlled phase shifter chip, based on a 0.15-μm GaAs process, as the overarching core teaching case. By translating scientific research innovations—such as the "inductor-reuse topology," "equivalent bandpass network (EBP)," and "main-auxiliary inductor collaborative tuning"—into progressive practical training modules, the course guides students to deepen their understanding of underlying high-frequency logic through comprehensive simulation and multidimensional engineering trade-offs. Practice shows that this model effectively bridges the disconnect between theory and practice, significantly enhancing students' comprehensive engineering practical abilities and academic innovative thinking.

Keywords

RF Integrated Circuit (RFIC), Teaching Reform, Research-Informed Teaching, Phase Shifter Design, GaAs MMIC

1. 引言

随着物联网(IoT)、低频大规模 MIMO 战术通信、低空物联以及气象雷达等 Sub-GHz 应用的迅猛发展，产业界对具备微波/射频高性能芯片设计能力的高素质工程人才需求呈现爆发式增长。射频移相器作为精确波束控制的核心组件，其设计要求兼顾宽频段、低插损、高精度与低幅相波动，对设计者的多维参数优化能力提出了极高的要求[1] [2]。

然而，在传统微电子人才培养体系中，供给侧与产业实际需求之间存在结构性错配。高校教学往往“重设计、轻实操”或依赖过时的经典教科书案例，导致学生所学知识与日新月异的学术前沿和工业界标准存在明显代差[3] [4]。为此，本研究依托高水平科研课题，提炼出具有自主知识产权的 GaAs 宽带移相器全流程设计作为教学蓝本，推行“科研反哺教学”与“虚实融合”的工程教育新模式，力求打破传统教学中理论与实践脱节的困境。

2. 《射频集成电路设计》课程教学现状与主要挑战

2.1. 理论高度抽象，学生缺乏直观的高频工程直觉

射频电路涉及散射参数(S 参数)、复数阻抗匹配、非线性失真及寄生效应等，相较于低频电路更为抽象[5]-[10]。学生在面对诸如全通网络(APN)和高低通网络(HP/LP)的幅相响应 slope (斜率)特性时，往往流于数学公式推导，难以在反复的动手实践中建立对参数、信号流和非线性特性的感性认识，极易陷入“计算思维与工程直觉缺失”的泥潭[11]-[15]。

2.2. 教学案例陈旧，严重滞后于当代工程实际需求

目前多数教材仍停留在单一的高低通网络切换(SNPS)或传统的双 SPDT 架构教学上。而在低频 Sub-GHz 领域，传统技术常面临无源器件面积惩罚严重、片上幅相波动难以抑制等复杂的“非线性与多目标多变量平衡”挑战。缺乏前沿案例的刺激，导致学生难以体会现代芯片设计中如何在“面积、成本、精度、带宽”之间做出灵动的工程折中(Trade-off) [16]-[20]。

2.3. “黑盒化”软件依赖与考核机制单一

在传统的 EDA 软件上机实训中，学生容易过度依赖仿真器的优化器(Optimizer)自动迭代，跳过对电路底层物理逻辑的深度思考，产生“黑盒依赖”。同时，传统的单一期末试卷或简单实验报告考核，也无法客观、精准地评价学生解决复杂工程问题的综合素养。

3. “科研反哺教学”一体化课程体系重构

为突破上述瓶颈，本教改方案打破原有单一理论授课结构，构建了“基础理论层–前沿案例仿真层–芯片测验实操层”三层次递进的模块化课程体系。

1) 基础理论层：微波网络基础、S 参数、复阻抗匹配与无源网络

2) 前沿案例仿真层：基于 GaAs 移相器科研成果的 3 大核心微观实训

- 模块 A：精细位电感复用拓扑与 transistor 面积权衡
- 模块 B：粗调位等效带通网络(EBP)与幅相波动消除
- 模块 C：180˚大角度移相与主辅电感联合微调综合实训

3) 芯片测验实操层：PNA-X 矢量网络分析仪 + 探针台全状态实测验证

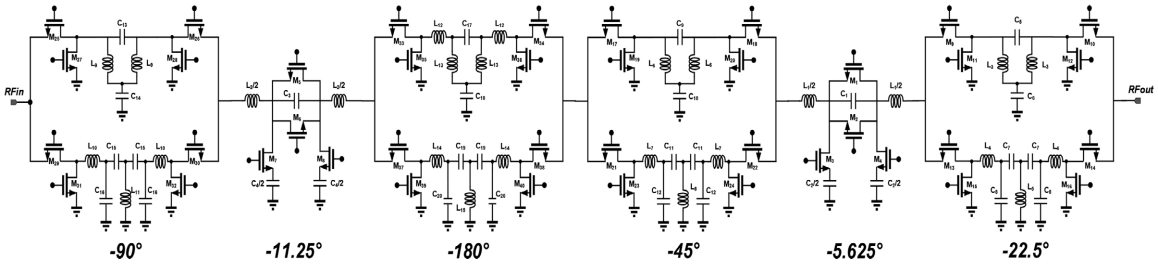

Figure 1. Diagram of phase shifter
图 1. 移相器电路拓扑图

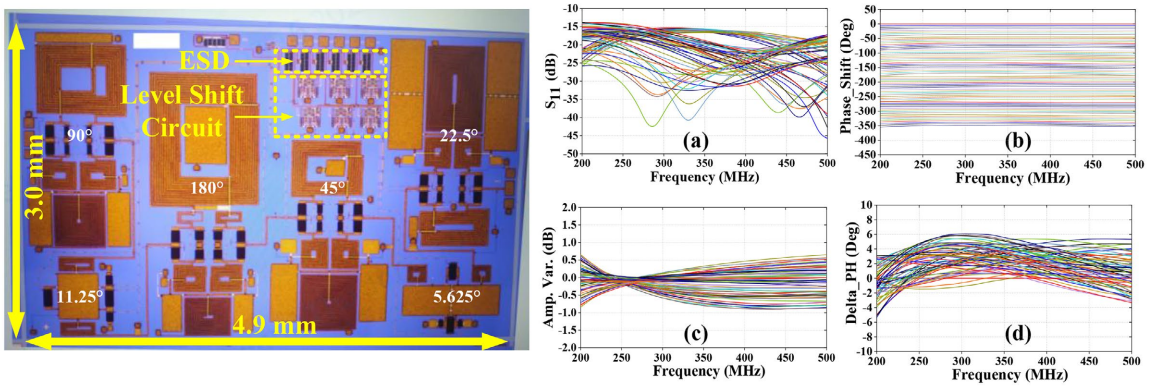

Figure 2. Chip photograph and electrical results: (a) S11 (b) phase output (c) amplitude error (d) phase error
图 2. 芯片显微照片与电学性能结果图：(a) 输入反射系数(b) 移相步进图(c) 幅度误差(d) 相位误差

该体系的核心在于引入发表于 IEEE MWTL 的 6 位 GaAs 数字控制移相器芯片作为贯穿式课题。该芯片在 0.2~0.5 GHz 实现高达 86%的相对带宽，且 RMS 移相误差 ＜3.3˚，全状态幅相控制性能极其卓越。将此类前沿成果拆解后引入课堂，能让学生真正体验到在真实芯片工厂和微波实验室走完全流程的沉浸式实践体验。

4. 典型科研案例构建：Sub-GHz 6 位数字控制移相器芯片设计

教学核心围绕该芯片的六个基础移相单元(包含精细位 5.625˚/11.25˚与粗调位 22.5˚/45˚/90˚/180˚)展开，将其转化为三大教学探究模块。

模块 A：精细移相单元与电感复用拓扑(面积与效率的极简美学)

教学引导：让学生探索传统双 SPDT 开关结构在 Sub-GHz 频段因电感尺寸激增带来的巨大面积惩罚和高制造成本。

科研反哺核心点：引入核心创新点——精细移相位(5.625˚/11.25˚)采用无源器件复用设计。当控制 pHEMT 管 M_1-M_4 关断时，形成 L_1-C_1 串联谐振带通网络(参考路径)；当开关管导通时，电容 C_2 接入，瞬间转化为 L_1-C_2 低通网络(移相路径)。

工程直觉启发：此拓扑在保持优秀相位的控制前提下，省去了整整一个低频大电感，并将开关管数量削减了 50%。通过引导学生提取寄生参数、对比传统双 SPDT 架构，让学生深刻理解何为射频芯片设计中的“极简拓扑优化”。

在具体教学实施中，模块 A 共编排 4 学时。教学方案设计为“探究导入(0.5 学时) + 迷你讲座与底层机理解析(1 学时) + 分组协同仿真实践(2 学时) + 成果汇报与工程权衡讨论(0.5 学时)”。课前要求学生预习 GaAs pHEMT 开关管的非线性寄生参数模型；课堂任务要求学生在 ADS 软件中手动搭建传统双 SPDT 架构与新型电感复用拓扑，对比两者的芯片面积和插入损耗。考核细则包括：版图面积缩减计算的准确性(占 40%)、仿真 S 参数收敛性(占 40%)以及课堂答辩的物理逻辑清晰度(占 20%)。

模块 B：粗调移相单元与等效带通网络(幅相波动的平坦化艺术)

教学引导：传统的高低通切换网络(HP/LP)在宽带运营时，由于两者斜率(Slope)特性的反向重叠，往往带来极大的带内插入损耗波动(>1 dB)。如何实现宽带低波动？

科研反哺核心点：引入粗调位(22.5˚~180˚)的等效带通网络(EBP)设计。通过级联由 L_4，C_6 构成的低通部分(呈现下倾响应)与由 C_5，L_5 构成的高通部分(呈现上倾响应)，二者在频带内形成相反斜率的精妙叠加。

工程直觉启发：学生通过仿真可以直观捕捉到，EBP 网络的带内平坦度达±0.5 dB，比单高通或单低通网络整整降低了 64%的带内波动。此外，这种将高/低通设计参数围绕频带边缘解耦优化的手法，比死板地绑定在中心频率(f0)的传统全通网络(APN)拥有更高的设计自由度。此步骤能极大地培养学生对波形叠加与阻抗协同匹配的深刻洞察力[21]-[25]。

模块 C：180˚大角度移相与主辅电感协同调谐(高阶多维工程折中)

教学引导：在粗调至 180˚极值状态时，移相路径与参考路径(全能 APN 拓扑)的损耗失配极易恶化，单靠调节大值主电感(如 35 nH)极易导致调谐步进过粗，幅相误差顾此失彼。

科研反哺核心点：引入“主辅电感共调谐”设计。在 APN 参考路径中巧妙串联微型辅助电感 L_2 (约为 1 nH)，动态修正奇偶模的频率选择性阻抗。

工程直觉启发：要求学生亲自进行参数扫描仿真，体会降低 L_2 时“移相精度大幅攀升，但带内总波动与平坦度面临恶化”的经典拉锯战。通过这种“主电感粗调 + 辅助电感细调”的协同实训，让学生明白没有完美的电路，只有灵活的平衡(Trade-off) [26]-[30]。

鉴于 GaAs 工艺被 ADS 仿真系统软件的良好支持，本项目鼓励学生基于 ADS 平台进行设计与实现。具体而言，学生需根据图 1 所示的电路拓扑结构，在 ADS 环境下完成电路搭建，并调用 S 参数仿真器获取 S 参数结果；同时，利用小信号 AC 仿真器提取幅度与相位信息。移相度数的调节则通过数字 6 比特译码器来实现。此外，射频芯片项目普遍要求结合参数扫描功能，对电路参数进行优化选择。如图 2 所示，教学中将参照芯片照片引导学生开展电路版图的优化布局与电磁兼容(EMC)规划。完成电磁(EM)仿真后，需提取无源版图部分的 S 参数并与 PDK 模型进行联合仿真，以最大程度降低流片风险。图 2 进一步展示了各项关键电学性能结果：如图 2(a)所示，输入反射系数 $S_{11} < -10$ dB，确保了射频信号的良好匹配，该指标水平也是射频电路设计的通用性参考指标[31]-[35]；图 2(b)展示了 64 种移相状态下的相位输出曲线，实现了对 Sub-GHz 频段的有效覆盖；图 2(c)和图 2(d)给出了带内幅度与相位的波动结果，这也是射频微波集成电路设计中常见的一个考核指标[36]-[38]，该指标对接收机的线性度有重要影响[39] [40]。得益于‘粗调谐 + 细调谐’技术的协同配合，学生可获得类似的低幅度与低相位误差仿真结果。鉴于学生个体的认知与能力差异，设计中若能满足幅度偏差小于 1 dB、相位偏差小于 5˚即可视为合格的仿真结果。

5. 多维考核机制与教改实施成效

课程摒弃了单一依靠期末小论文的考核机制，引入“全过程多维矩阵评价体系”，包括：EDA 拓扑收敛性与底层机理解析(占 40%)、微波探针台芯片实测规范性(占 30%)、以及大项目答辩与 troubleshooting (故障排查)思路展示(占 30%)。

近年来，该教改方案在成都信息工程大学及相关微电子专业的高年级本科及研究生教学中进行了试点推广。通过对比实施该“科研反哺”教改前后的教学效果数据，成效十分显著。本研究采用纵向历史对照方法，将推行全面教改前的 2023 年传统教学班作为基准对照组，与 2024 年试点班及 2025 年全面推广班进行多维对比。评估工具采用标准量化评价量表(Rubric)，其中“EDA 拓扑收敛性与底层机理解析”重点考核学生对 S 参数与匹配网络的推导及仿真退化故障排查能力；“微波探针台芯片实测规范性”通过现场操作熟练度与误差校准精度进行刚性评定。所有教学数据均通过 SPSS 软件进行均值显著性检验，如表 1 所示，数据分析表明教改后班级的各项指标均呈现统计学意义上的显著性增长。

数据清晰地表明，前沿科研成果的融入使原本枯燥的散射矩阵与阻抗匹配圆盘理论变得“有血有肉”，极大地激发了学生的学术自豪感与科研斗志。部分优秀学生在课程大作业的基础上，甚至能进一步拓展至多倍频程宽带多功能芯片的研究，直接在工程实践中跑通了微电子人才的高质量闭环培养路径。

Table 1. Comprehensive comparison of RFIC curriculum reform
表 1. 《射频集成电路设计》课程教改效果综合对比表

指标类型	教改前 (2023 年)	教改后试点班 (2024 年)	教改后全面推广 (2025 年)	两年内增长百分比
平均课程综合成绩	70.5	75.2	82.1	↑ 16.4%
射频大作业/芯片设计报告优秀率	40.8%	48.3%	60.3%	↑ 47.8%
学生对课程前沿性与满意度评价	70.3%	75.2%	80.2%	↑ 14.1%
毕业后直接从事研发/流片岗位流失率	较高	明显下降	保持历史低位	显著改善

6. 结论与展望

本文分享了依托 GaAs Sub-GHz 6 位高精度数字控制宽带移相器芯片这一前沿科研成果，对《射频集成电路设计》课程进行深度教学改革的实践过程。通过将高水平论文中的前沿拓扑与创新调谐手法转化

为生动的课堂教学模块，有效缓解了传统微电子工程教育中理论与产业实际脱节的局限。

应当客观指出，该“科研反哺教学”模式的成功实施存在一定的边界条件与先决要求：首先，授课团队需具备高水平的工程科研背景和自主知识产权的流片芯片案例；其次，学校需配备高性能 EDA 仿真工作站及微波探针台等硬核硬件设施。此外，本模式对基础薄弱或工程直觉较弱的部分学生在初期会带来较大的认知负荷。在后续推广中，需针对不同资源水平的高校对模块进行差异化裁剪，以增强该模式的普适性与推广价值。

未来发展方向：团队后续将尝试深化“人机协同”和“虚实混合教学生态”的教学创新。计划将近年来兴起的大语言模型(LLM)引入 EDA 拓扑自动优化推荐与故障辅助排查(Troubleshooting)中，利用 AI 处理基础参数扫描等低阶重复性任务，从而将教师的精力与课堂的核心重心完全聚焦于启发学生的“高频非线性电路工程直觉”与高层次创新思维的塑造上。

参考文献

[1] Tang, X. and Mouthaan, K. (2013) Large Bandwidth Digital Phase Shifters with All-Pass, High-Pass, and Low-Pass Networks. *IEEE Transactions on Microwave Theory and Techniques*, **61**, 2325-2331. https://doi.org/10.1109/tmtt.2013.2260420

[2] Liu, H., Kong, W., Wang, Q. and Guo, B. (2026) A Compact 6-Bit Sub-GHz Phase Shifter with Inductor-Shared Topology and Equivalent Bandpass Network. *IEEE Microwave and Wireless Technology Letters*, 1-4.

[3] 胡静哲, 杭娟. 电路教学与人工智能融合: 现状、实践与发展方向[J]. 教育进展, 2026, 16(4): 932-936.

[4] 林俊辉, 赵晓芳, 刘华珠, 等. 基于产教融合的集成电路制造工艺课程教学改革与实践[J]. 教育进展, 2025, 15(10): 509-514.

[5] Yang, C., Guo, B., Wang, H., Wang, Y. and Chen, J. (2024) A 30-39 GHz 3.1-3.4 NF 6.6 dBm IIP3 CMOS Low-Noise Amplifier with Post-Linearization Technique. 2024 *IEEE 67th International Midwest Symposium on Circuits and Systems* (*MWSCAS*), Springfield, 11-14 August 2024, 372-376. https://doi.org/10.1109/mwscas60917.2024.10658836

[6] Guo, B. and Chen, J. (2024) A Mm-Wave Two-Stage CMOS LNA Using Noise Cancelling and Post-Distortion Techniques. 2024 19*th European Microwave Integrated Circuits Conference* (*EuMIC*), Paris, 23-24 September 2024, 407-410. https://doi.org/10.23919/eumic61603.2024.10732461

[7] Guo, B. (2025) A 0.2-6 GHz 65 Nm CMOS Active-Feedback LNA with Threefold Balun-Error Correction and Implicit Post-Distortion Technique. 2025 I*EEE Radio Frequency Integrated Circuits Symposium* (*RFIC*), San Francisco, 15-17 June 2025, 451-454. https://doi.org/10.1109/rfic61188.2025.11082925

[8] Guo, B., Chen, J. and Wang, Y. (2019) A 0.2-3.3 GHz 2.4 dB NF 45 dB Gain Current-Mode Front-End for Saw-Less Receivers in 180 Nm CMOS. 2019 8*th International Symposium on Next Generation Electronics* (*ISNE*), Zhengzhou, 9-10 October 2019, 1-3. https://doi.org/10.1109/isne.2019.8896388

[9] Guo, B., Liu, H., Wang, Y., Chen, J., Wang, H. and Wang, T. (2025) A 28.6-37.3 GHz 65Nm CMOS Receiver Frontend with Symmetric-Load-Noise-Canceling LNA. 2025 *International Conference on Frontiers Technology in Circuits and Systems* (*FTCS*), Chongqing, 21-23 November 2025, 442-446. https://doi.org/10.1109/ftcs68006.2025.11405749

[10] Kargaran, E., Guo, B., Manstretta, D. and Castello, R. (2019) A Sub-1-V, 350-μW, 6.5-dB Integrated NF Low-If Receiver Front-End for IoT in 28-Nm CMOS. *IEEE Solid-State Circuits Letters*, **2**, 29-32. https://doi.org/10.1109/lssc.2019.2917870

[11] Guo, B., Chen, J., Li, L., Jin, H. and Yang, G. (2017) A Wideband Noise-Canceling CMOS LNA with Enhanced Linearity by Using Complementary nMOS and pMOS Configurations. *IEEE Journal of Solid-State Circuits*, **52**, 1331-1344. https://doi.org/10.1109/jssc.2017.2657598

[12] Wang, H., Guo, B., Wang, Y., Fan, R. and Sun, L. (2023) A Baseband-Noise-Cancelling Mixer-First CMOS Receiver Frontend Attaining 220 MHZ IF Bandwidth with Positive-Capacitive-Feedback Tia. *IEEE Access*, **11**, 26320-26328. https://doi.org/10.1109/access.2023.3257384

[13] Guo, B., Wang, H. and Yang, G. (2014) A Wideband Merged CMOS Active Mixer Exploiting Noise Cancellation and Linearity Enhancement. *IEEE Transactions on Microwave Theory and Techniques*, **62**, 2084-2091. https://doi.org/10.1109/tmtt.2014.2334555

[14] Guo, B., Wang, H., Chen, J. and Deilamsalehi, M.M. (2019) A CMOS Low-Noise Active Mixer with Enhanced Linearity and Isolation by Exploiting Capacitive Neutralization Technique. *Modern Physics Letters B*, **33**, Article 1950204. https://doi.org/10.1142/s021798491950204x

[15] Guo, B., Wang, X., Chen, H. and Chen, J. (2018) A 0.5-6.5-GHz 3.9-dB NF 7.2-Mw Active Down-Conversion Mixer in 65-Nm CMOS. *Modern Physics Letters B*, **32**, Article 1850278. https://doi.org/10.1142/s0217984918502780

[16] Liu, H., Guo, B., Han, Y. and Wu, J. (2023) An Integrated LNA-Phase Shifter in 65 Nm CMOS for Ka-Band Phased-Array Receivers. *International Journal of Circuit Theory and Applications*, **52**, 2126-2145. https://doi.org/10.1002/cta.3857

[17] Guo, B., Wang, X. and Chen, H. (2020) A 28 GHz Front-End for Phased Array Receivers in 180 Nm CMOS Process. *Modern Physics Letters B*, **34**, Article 2150017. https://doi.org/10.1142/s0217984921500172

[18] Guo, B., Chen, H., Wang, X., Chen, J., Xie, X. and Li, Y. (2019) A 60 GHz Balun Low-Noise Amplifier in 28-Nm CMOS for Millimeter-Wave Communication. *Modern Physics Letters B*, **33**, Article 1950396. https://doi.org/10.1142/s0217984919503962

[19] Liao, X., Guo, B. and Wang, H. (2024) A 14.5 GHz Dual-Core Noise-Circulating CMOS VCO with Tripler Transformer Coupling, Achieving -123.6 dBc/Hz Phase Noise at 1MHz Offset. 2024 *IEEE* 67*th International Midwest Symposium on Circuits and Systems* (*MWSC*AS), Springfield, 11-14 August 2024, 377-381. https://doi.org/10.1109/mwscas60917.2024.10658841

[20] Guo, B., Liao, X. and Wang, Y. (2022) A 22 MW CMOS Receiver Frontend Using Active-Feedback Baseband and Passive-Voltage Mixers Embedded in Current Mirrors. 2022 *IEEE Asia Pacific Conference on Circuits and Systems* (*APCCAS*), Shenzhen, 11-13 November 2022, 324-328. https://doi.org/10.1109/apccas55924.2022.10090406

[21] Fan, R., Guo, B. and Chen, J. (2024) A1-11 GHz Balun CMOS LNA Achieving 1.9-dB NF Gain-Error < 0.15 dB and Phase-Error < 0.9°. 2024 *IEEE* 67*th International Midwest Symposium on Circuits and Systems* (*MWSCAS*), Springfield, 11-14 August 2024, 382-386. https://doi.org/10.1109/mwscas60917.2024.10658760

[22] Guo, B. and Gong, J. (2021) A Dual-Band Low-Noise CMOS Switched-Transconductance Mixer with Current-Source Switch Driven by Sinusoidal LO Signals. 2021 *IEEE International Midwest Symposium on Circuits and Systems* (*MWSCAS*), Lansing, 9-11 August 2021, 741-744. https://doi.org/10.1109/mwscas47672.2021.9531696

[23] Guo, B., Yang, G. and An, S. (2014) A Wideband Noise-Canceling CMOS LNA Using Cross-Coupled Feedback and Bulk Effect. *Frequenz*, **68**, 243-249. https://doi.org/10.1515/freq-2013-0160

[24] Guo, B., Wang, H., Li, L. and Zhou, W. (2023) A 65 Nm CMOS Current-Mode Receiver Frontend with Frequency-Translational Noise Cancelation and 425 MHz IF Bandwidth. 2023 *IEEE Radio Frequency Integrated Circuits Symposium* (*RFIC*), San Diego, 11-13 June 2023, 21-24. https://doi.org/10.1109/rfic54547.2023.10186151

[25] Guo, B., Chen, H., Wang, X., Li, L. and Zhou, W. (2021) A Wideband Receiver Front-End with Low Noise and High Linearity by Exploiting Reconfigurable Dual Paths in 180 Nm CMOS. *Modern Physics Letters B*, **35**, Article 2150210. https://doi.org/10.1142/s0217984921502109

[26] Guo, B., Wang, H., Wang, Y., Li, K., Li, L. and Zhou, W. (2022) A Mixer-First Receiver Frontend with Resistive-Feedback Baseband Achieving 200 MHz IF Bandwidth in 65 Nm CMOS. 2022 *IEEE Radio Frequency Integrated Circuits Symposium* (*RFIC*), Denver, 19-21 June 2022, 31-34. https://doi.org/10.1109/rfic54546.2022.9863101

[27] Fan, R., Guo, B., Wang, H., Wang, H. and Chen, J. (2024) A Broadband Single-Ended Active-Feedforward-Noise-Canceling LNA with IP2 Enhancement in Stacked N/pMOS Configurations. *Microelectronics Journal*, **149**, Article 106257. https://doi.org/10.1016/j.mejo.2024.106257

[28] Guo, B., Gong, J., Wang, Y. and Wu, J. (2020) A 0.2-3.3 GHz 2.4 dB NF 45 dB Gain CMOS Current-Mode Receiver Front-End. *Modern Physics Letters B*, **34**, Article 2050226. https://doi.org/10.1142/s0217984920502267

[29] Guo, B., Gong, J. and Wang, Y. (2021) A Wideband Differential Linear Low-Noise Transconductance Amplifier with Active-Combiner Feedback in Complementary MGTR Configurations. *IEEE Transactions on Circuits and Systems I*: *Regular Papers*, **68**, 224-237. https://doi.org/10.1109/tcsi.2020.3029298

[30] Thijssen, B.J., Klumperink, E.A.M., Quinlan, P. and Nauta, B. (2021) 2.4-GHz Highly Selective IoT Receiver Front End with Power Optimized LNTA, Frequency Divider, and Baseband Analog FIR Filter. *IEEE Journal of Solid-State Circuits*, **56**, 2007-2017. https://doi.org/10.1109/jssc.2020.3031493

[31] Guo, B. and Chen, J. (2017) A Wideband Common-Gate CMOSLNA Employing Complementary MGTR Technique. *Microwave and Optical Technology Letters*, **59**, 1668-1671. https://doi.org/10.1002/mop.30601

[32] Zhang, H. and Sánchez-Sinencio, E. (2011) Linearization Techniques for CMOS Low Noise Amplifiers: A Tutorial. *IEEE Transactions on Circuits and Systems I*: *Regular Papers*, **58**, 22-36. https://doi.org/10.1109/tcsi.2010.2055353

[33] Chen, J., Guo, B., Zhang, B. and Wen, G. (2017) A Highly Linear Wideband CMOS LNTA Employing Noise/Distortion Cancellation and Gain Compensation. *Circuits*, *Systems*, *and Signal Processing*, **36**, 474-494. https://doi.org/10.1007/s00034-016-0320-9

[34] Guo, B., Chen, H., Wang, X., Chen, J., Li, Y., Jin, H., *et al*. (2018) A Wideband CMOS Single-Ended Low Noise Amplifier Employing Negative Resistance Technique. *Modern Physics Letters B*, **32**, Article 1850068. https://doi.org/10.1142/s0217984918500689

[35] Xiang, Y., Li, L., Yuan, S., Zhou, W. and Guo, B. (2021) Metrics, Noise Propagation Models, and Design Framework for Floating-Point Approximate Computing. *IEEE Access*, **9**, 71039-71052. https://doi.org/10.1109/access.2021.3053578

[36] Guo, B., Fan, R., Wang, Y., Chen, J., Wang, H. and Wang, T. (2026) A Broadband CMOS LNA with Ultra-Low Balun Error and Enhanced Power Efficiency. *AEU-International Journal of Electronics and Communications*, **204**, Article 156118. https://doi.org/10.1016/j.aeue.2025.156118

[37] Kim, D., Jang, S., Lee, J. and Im, D. (2021) A Broadband Pvt-Insensitive All-nMOS Noise-Canceling Balun-LNA for Subgigahertz Wireless Communication Applications. *IEEE Microwave and Wireless Components Letters*, **31**, 165-168. https://doi.org/10.1109/lmwc.2020.3042233

[38] Guo, B. and Chen, J. (2024) A CMOS Wideband Linear Low-Noise Amplifier Using Dual Capacitor-Cross-Coupled Configurations. 2024 *IEEE International Symposium on Circuits and Systems* (*ISCAS*), Singapore, 19-22 May 2024, 1-4. https://doi.org/10.1109/iscas58744.2024.10557900

[39] Guo, B., Chen, J., Wang, X. and Chen, H. (2018) An Inductorless Active Mixer Using Stacked nMOS/pMOS Configuration and LO Shaping Technique. *Modern Physics Letters B*, **32**, Article 1850129. https://doi.org/10.1142/s0217984918501294

[40] Bhat, A.N., van der Zee, R., Finocchiaro, S., Dantoni, F. and Nauta, B. (2019) A Baseband-Matching-Resistor Noise-Canceling Receiver Architecture to Increase In-Band Linearity Achieving 175MHz TIA Bandwidth with a 3-Stage Inverter-Only OpAmp. 2019 *IEEE Radio Frequency Integrated Circuits Symposium* (*RFIC*), Boston, 2-4 June 2019, 155-158. https://doi.org/10.1109/rfic.2019.8701843