

RISC-V: 开放指令集驱动人工智能与高性能计算革新

孙冉, 李成哲, 魏宏亮, 吴震, 刘超

中国兵器工业第二〇八研究所, 北京

收稿日期: 2025年12月5日; 录用日期: 2025年12月31日; 发布日期: 2026年1月9日

摘要

作为一种基于精简指令集计算(RISC)原则的开源指令集架构(ISA), RISC-V正深刻变革全球人工智能(AI)与高性能计算(HPC)的产业格局。其开放、模块化与可扩展性为处理器设计带来了前所未有的灵活性,成为应对AI、HPC等领域定制化需求的关键解决方案。本文系统梳理RISC-V的发展历程、技术特点与生态现状,结合典型案例深入探讨其在不同领域的应用实践,通过量化对比与规范引用强化论证,并对其未来发展面临的挑战和机遇进行展望。

关键词

RISC-V, 精简指令集, BSD, 人工智能, 高性能计算

RISC-V: Open Instruction Set Driven Innovation in Artificial Intelligence and High-Performance Computing

Ran Sun, Chengzhe Li, Hongliang Wei, Zhen Wu, Chao Liu

No.208 Research Institute of China Ordnance Industries, Beijing

Received: December 5, 2025; accepted: December 31, 2025; published: January 9, 2026

Abstract

As an open-source instruction set architecture (ISA) based on the Reduced Instruction Set Computing (RISC) principles, RISC-V is catalyzing profound transformations in the global artificial intelligence (AI) and high-performance computing (HPC) industries. Its open, modular, and extensible characteristics offer unprecedented flexibility for processor design, making it a pivotal solution for

文章引用: 孙冉, 李成哲, 魏宏亮, 吴震, 刘超. RISC-V: 开放指令集驱动人工智能与高性能计算革新[J]. 人工智能与机器人研究, 2026, 15(1): 180-187. DOI: 10.12677/airr.2026.151018

addressing the customized demands in fields such as AI and HPC. This paper systematically reviews the development history, technical features, and current ecosystem of RISC-V, examines its application practices across various domains through case studies, strengthens the argumentation with quantitative comparisons and standardized citations, and discusses the challenges and opportunities in its future development.

Keywords

RISC-V, Reduced Instruction Set, BSD, Artificial Intelligence, High Performance Computing

Copyright © 2026 by author(s) and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY 4.0).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

1. 引言：计算产业的新范式

当前，计算产业正处在重要的转型期。随着物联网、人工智能、边缘计算等新兴技术的飞速发展，对计算架构的多样性、能效及成本提出了更高要求[1]。在此背景下，传统 x86 与 ARM 架构显露出局限性：x86 架构虽在高性能计算领域占据主导地位，但其指令集复杂、功耗高，难以适应低功耗场景[2]-[5]；ARM 架构虽在移动端表现优异，但其授权费用与有限的定制能力难以满足日益增长的个性化需求[6]。

RISC-V 指令集架构诞生于加州大学伯克利分校，以其开放、简洁、模块化的设计理念，为计算产业带来了新的范式[7]-[10]。RISC-V 采用 BSD 开源协议，允许任何用户自由使用、修改和分发，极大降低了技术门槛，为处理器创新提供了开放的基础平台[11]。

RISC-V 的快速发展得益于多重因素的推动：首先，全球数字化进程加速，对计算能力的需求呈现爆炸式增长，2023 年全球智能终端设备出货量突破 20 亿台，物联网设备连接数超 150 亿个[12]-[16]；其次，特定领域架构(DSA)的重要性日益凸显，通用处理器难以满足专业化需求[17]-[19]；最后，地缘政治因素促使各国寻求技术自主可控，RISC-V 的开源特性为此提供了理想选择，成为打破专有架构垄断的关键力量[20]。这些因素共同推动 RISC-V 从学术研究走向产业化应用，成为处理器领域不可忽视的力量。

2. RISC-V 的技术架构与设计哲学

2.1. 精简指令集设计

RISC-V 秉承 RISC 架构的设计哲学，通过精简指令集实现高效执行。其基础整数指令集(RV32I/RV64I)仅包含 40 条核心指令，相比 x86 的上千条指令和 ARMv9 的 300 余条指令，显著降低了硬件实现的复杂度[21]-[23]。这种精简设计带来多重优势：处理器设计更简单，有助于缩小芯片面积(较同性能 ARM 芯片缩小 15%~20%)、降低功耗；指令译码效率更高，有利于提升时钟频率；同时简化了验证流程，缩短开发周期 30% 以上[24]。

在实际应用中，RISC-V 的简洁性使其特别适合嵌入式场景。例如，平头哥半导体开发的 CK802 处理器基于 RISC-V 架构，专为物联网设备设计，在保持 1.2 GHz 主频的同时，功耗可低至 5 μ A/MHz，充分体现了 RISC-V 在能效比方面的优势[25]。

2.2. 模块化扩展机制

模块化设计是 RISC-V 最核心的创新性之一。其将不同功能单元作为可选模块组织在一起，基本整

数指令集(I)是必须实现的,而其他扩展指令集如乘法除法(M)、原子操作(A)、单精度浮点(F)等则可根据应用场景选择搭配,如表 1 所示,开发者可按需灵活组合功能模块[23]。这种设计类似于软件领域的开源库,避免了不必要的功能冗余。

Table 1. Overview of RISC-V main instruction subset [22] [23]
表 1. RISC-V 主要指令子集概览[22] [23]

指令子集	功能描述	指令数量	应用场景
RV32I/64I	基础整数指令	47/59 条	所有处理器必需
M	整数乘除法	8 条	数字信号处理
A	原子操作	11 条	多核同步
F/D	单/双精度浮点	各 26 条	科学计算、图形处理
C	压缩指令	46 条	代码密度优化
V	向量扩展	128 条	AI 推理、科学计算

模块化设计的价值在人工智能计算场景中尤为突出。例如,嘉楠科技开发的 K210 芯片专门针对 AI 视觉处理优化[26],通过增加自定义的 AI 指令扩展,其在 MNIST 数据集图像识别任务中的能效比可达 1.2TOPS/W,是传统 ARM Cortex-A53 处理器的 10 倍以上[27],这种定制能力是封闭式架构难以实现的。

2.3. 差异化的技术特性

RISC-V 在技术层面做出了一系列创新设计选择,显著简化了硬件实现难度。需明确的是,以下为 ISA 层面的架构设计,而非具体处理器的微架构实现[28]:

无状态寄存器设计:架构中未设条件状态寄存器,条件跳转直接比较两个整数寄存器,避免了专用状态寄存器带来的硬件复杂性;

放弃分支延迟槽:更符合现代处理器分支预测技术发展趋势,降低编译器优化难度;

规整指令编码:寄存器索引在指令编码中的位置固定,使译码器可快速读取寄存器值,简化流水线设计;

x0 寄存器硬连线为零:通过与普通指令组合实现数据移动、清零等操作,无需设计专用指令,减少整体指令数量[29]。

这些 ISA 层面的简洁设计,为处理器微架构创新提供了基础。例如,“香山”处理器的乱序执行、超级标量设计(微架构层面),正是基于 RISC-V 精简的指令编码和无状态寄存器设计,实现了硬件复杂度与性能的平衡[30]。

2.4. 开放生态体系

RISC-V 的开放性体现在技术、生态和商业多个层面。技术上,指令集规范完全开放,允许任何组织参与标准制定;生态上,已形成包括编译器(GCC 12.0+, LLVM 15.0+)、模拟器(QEMU 7.0+)、操作系统(Linux 5.18+, FreeRTOS 10.4+)在内的完整工具链与软件栈支持;商业上,开源协议确保技术的可及性,降低了创新门槛[31]。

这种开放性带来了显著的网络效应。截至 2023 年底, RISC-V International 的会员数量已达 4000 余家,包括谷歌、英特尔、阿里巴巴等科技巨头,覆盖全球 50 多个国家和地区[32]。SiFive、芯来科技等公司提供的商业化 IP 核,进一步丰富了产业生态,2023 年全球 RISC-VIP 核授权量同比增长 83% [33]。

3. RISC-V 的安全特性创新

3.1. 内建安全机制

与传统架构往往在后期添加安全方案不同, RISC-V 将安全考量深度集成到 ISA 架构定义中。其物理内存保护(PMP)机制允许配置任意大小的内存区域并设置访问权限, 即使最高特权级别也无法绕过这些限制[26]。这种机制使关键安全令牌(如加密密钥)能够与潜在攻击者有效隔离, 为安全启动提供了坚实基础。

RISC-V 的多特权层级结构(机器模式 M-Mode、监督模式 S-Mode、用户模式 U-Mode)创造了更细粒度的安全边界。与 ARM TrustZone 的“安全世界/非安全世界”二分法不同, RISC-V 的机器模式甚至可以限制自身对某些资源的访问, 这种“自约束”设计极大增加了攻击者利用权限提升漏洞的难度[33]。当监督模式的内核被攻破时, 存储在机器模式中的关键安全令牌仍能保持安全。

3.2. 可信执行环境创新

在可信执行环境(TEE)方面, RISC-V 实现了重要创新(ISA 架构层面的扩展能力)。它不局限于 ARM TrustZone 的二分法, 而是支持创建多个安全域, 允许为每个关键应用构建独立的隔离环境, 实现真正的纵深防御[26]。即使某个安全域被破坏, 其他域及其内部应用也不会受影响。

业内实践表明, 通过结合 PMP (ISA 架构)、紧密集成内存(TIM, 微架构实现)和多特权层级, 可以在 RISC-V 内核上高效构建安全元件功能。安全令牌可存储在无缓存支持的 TIM 中, 仅允许机器模式通过 PMP 配置进行访问, 从而有效防御旁道攻击, 无需可信平台模块(TPM)等外部硬件, 降低了系统成本和复杂度[34]。

4. RISC-V 的发展现状与生态建设

4.1. 产业化进展与高性能突破

RISC-V 的应用已从最初的物联网和嵌入式领域, 逐步扩展到高性能计算领域, 中国学术界和产业界在这一进程中贡献突出。需明确区分: 以下性能数据是具体处理器的微架构实现成果, 而非 RISC-V ISA 本身的性能上限:

中国科学院计算技术研究所开发的“香山”高性能 RISC-V 处理器, 第一代“雁栖湖”架构(微架构)在 SPEC CPU2006 测试中达到 7.01 分/GHz, 媲美 ARM Cortex-A73; 第二代“南湖”架构进一步提升至 10.42 分/GHz, 达到 ARM Cortex-A76 水平[14]。

阿里巴巴平头哥推出的玄铁 C920 处理器, 支持 RISC-V Vector 1.0 标准(ISA 扩展), 通过 8 宽向量执行单元(微架构设计), 较上一代提升最高 3.8 倍 AI 性能, 已能运行 ResNet-50 等复杂 AI 模型[35]。

截至 2023 年底, 玄铁系列处理器累计出货量已超过 40 亿颗, 覆盖物联网、智能家电、工业控制等多个领域[35]。

4.2. 极端封锁下的技术自主与供应链安全

传统处理器架构(如 x86、ARM)主要由美国公司主导。在极端情况下(如贸易制裁、技术禁运), 一个国家或地区的军事工业可能面临“断供”风险[36]。而 RISC-V 的核心优势在于 ISA 架构的开源特性: 其指令集规范不属于任何单一公司或国家, 任何国家的机构都可以基于规范自主设计处理器, 无需授权、无需支付版税, 可自成生态、自组供应链[37]。

这从根本上消除了对外部架构的依赖, 确保了国防工业核心芯片的供应链安全和技术自主权。目前,

如表 2 所示，欧盟已明确将 RISC-V 视为实现“数字主权”、减少对中美技术依赖的关键，空中客车等防务公司也对 RISC-V 在航电系统中的应用表现出浓厚兴趣[8]。

Table 2. Comparison of core features between RISC-V and mainstream architectures [2]-[5]
表 2. RISC-V 与主流架构的核心特性对比[2]-[5]

特性维度	RISC-V	ARM	x86
架构类型	开源 ISA	闭源 ISA	闭源 ISA
授权模式	免费开源(BSD 协议)	商业授权	商业授权
基础指令数	40 条(RV64I)	300+条(ARMv9)	1000+条(x86-64)
定制扩展能力	强(模块化设计)	弱(有限扩展)	无
2023 年 IP 授权量	14 亿次(同比+83%)	35 亿次(同比+12%)	18 亿次(同比+5%)

5. RISC-V 的产业化应用与典型案例

5.1. 物联网领域的深度渗透

物联网是 RISC-V 应用最成熟的领域。预计到 2025 年，采用 RISC-V 架构的物联网芯片数量将达到 624 亿颗，占全球物联网芯片市场的 48% [38]。这一增长主要源于物联网设备的高度碎片化、成本敏感、功耗约束等特点，与 RISC-V 的技术优势相匹配。

典型案例：

欧洲 GreenWaves Technologies 的 GAP8 处理器：集成 9 个 RISC-V 核心(1 个主控核 + 8 个计算核)，专门用于物联网边缘的 AI 推理任务，在智能音频检测场景中，可实时处理 4 路 16 kHz 音频流，功耗仅为 8 mW，比传统方案能效提升 5 倍以上[12]；

全志科技 T113 芯片：基于 RISC-V RV64I 架构，装机量超 1 亿台，覆盖智能音箱、智能家居网关等产品，占国内中低端智能家电芯片市场份额的 23% [3]；

瑞芯微 RK2306 芯片：RISC-V 工控芯片，应用于智能电网监测终端，满足 IEC 61850 标准的硬实时调度需求，响应延迟 $\leq 1\text{ ms}$ [29]。

5.2. 人工智能计算的创新平台

在人工智能领域，RISC-V 的 ISA 模块化扩展能力为 AI 加速器设计提供了理想基础。AI 计算通常包含控制逻辑和计算单元两部分，RISC-V 可高效处理控制任务(ISA 基础指令集)，同时通过自定义指令扩展(如向量指令 V、AI 专用指令)加速计算密集型操作(微架构实现)。

典型案例：

阿里巴巴平头哥“曳影 1520”芯片：基于 RISC-V Vector 1.0 扩展，集成 4 个向量计算核，在 ResNet-50 模型推理任务中，性能可达 8TOPS，功耗仅为 15 W，能效比(0.53TOPS/W)显著优于 NVIDIA Jetson Nano (0.21TOPS/W) [1]；

进迭时空 K1 芯片：采用“RISC-V ISA + OpenHarmony”方案，通过自定义 LLM 加速指令扩展，在 4GB 内存设备上实现 1.5B 参数大模型(如 Llama-2-1.5B)本地部署，推理延迟低于 20 ms [17]。

5.3. 高性能计算的突破尝试

尽管 RISC-V 在高性能计算领域尚处于起步阶段，但已展现出巨大潜力。欧洲处理器计划(EPI)选择 RISC-V 作为其百亿亿次超级计算机的基础架构，这具有标志性意义。该项目的 EPAC 芯片集成了 28 个

RISC-V 核心，采用 7 纳米工艺，目标性能达到 1TFLOPS [28]。

在我国，完全开源的“香山”项目吸引了全球众多开发者的参与。目前“香山”处理器的第二代架构“南湖”性能已接近 ARM 的 Cortex-A76 水平，展现了开源模式在高端芯片设计领域的可行性[38]。

6. 产业发展面临的挑战与对策

6.1. 生态系统成熟度

RISC-V 生态虽然快速发展，但在某些领域仍存在明显短板。特别是在桌面和服务端领域，软件生态的完善需要时间。主流操作系统(如 Windows)对 RISC-V 的支持仍不完善，如表 3 所示，大型商业软件(如 MATLAB、AutoCAD)尚未提供原生支持[38]。

Table 3. Analysis of key factors in the development of the RISC-V ecosystem [38]

表 3. RISC-V 生态发展的关键要素分析[38]

要素类别	现状评估	发展趋势	关键举措
工具链成熟度	基本完善	持续优化	增强调试和性能分析功能
软件生态	快速成长	加速扩张	重点突破基础软件和流行框架
人才培养	供不应求	规模扩大	加强校企合作，完善课程体系
产业标准	初步建立	逐步完善	推动测试认证体系国际化

应对这一挑战需要产业链协同努力。一方面，RISC-V International 正在推动更多基础软件的移植工作；另一方面，头部企业也在加大投入。如谷歌宣布 Android 系统将全面支持 RISC-V，这将极大推动移动生态的发展[35]。

6.2. 高性能实现的技术壁垒

设计高性能 RISC-V 处理器面临多重技术挑战：先进制程芯片(如 7 纳米芯片及以下)设计成本极高，可能高达数亿美元；微架构优化(如多发射、乱序执行、缓存一致性)需要深厚的技术积累[36]。

解决这些问题需要创新研发模式。“香山”项目开创的开源芯片设计模式值得推广，通过资源共享降低开发成本。同时，Chiplet 等先进封装技术可以复用经过验证的 IP 模块，缩短开发周期[37]。

6.3. 产业协同与标准统一

随着参与企业增多，保持架构的兼容性、防止生态碎片化成为重要课题。RISC-V International 建立的兼容性测试体系是关键举措[38]，但需要更多企业的积极参与。

7. 未来展望与发展趋势

7.1. 技术演进方向

RISC-V 架构本身仍在快速演进。向量扩展(RVV1.0)的正式发布为科学计算和 AI 应用奠定了基础；特权架构的完善将提升虚拟化支持能力；安全扩展的标准化工作也在积极推进。这些技术演进将不断扩展其应用边界。特别是其开源特性结合 TrustZone 等安全扩展，可以构建真正可信的执行环境。这对于物联网设备、车联网等安全敏感场景具有重要意义。

7.2. 产业发展前景

从产业格局看，RISC-V 有望与 x86、ARM 形成三足鼎立之势：在嵌入式领域，RISC-V 有望成为主

导架构；在移动和桌面领域，将逐步扩大市场份额；在数据中心领域，则需要更长时间的技术积累[29]。

商业模式也可能发生变革，出现类似开源软件的成功路径，即“免费的基础架构 + 付费的技术支持”，这种模式可以降低创新门槛，催生更多的芯片初创公司。

7.3. 对全球计算产业的影响

RISC-V 的兴起正在重塑全球计算产业生态：它降低了芯片设计门槛，使更多企业能够参与价值创造；促进了全球协作，来自不同国家的企业和开发者共同推动技术发展；它为发展中国家提供了技术追赶的机会，也提供了打破技术封锁的机遇。我国在 RISC-V 生态中扮演着重要角色，贡献了全球约 30% 的 RISC-V 相关专利，平头哥、芯来科技等企业在 IP 核设计和芯片实现方面处于领先地位。随着中国数字经济快速发展，RISC-V 有望成为我国芯片产业实现突破的重要机遇。

8. 结论

RISC-V 代表着处理器架构发展的新范式。其开放、简洁、模块化的特性完美契合了数字化时代对计算能力的多样化需求。虽然在高性能计算等领域仍需技术积累，但在物联网、人工智能等场景已经展现出强大生命力，同时 RISC-V 也会为武器装备产业打破芯片封锁提供了必要条件。

未来十年将是 RISC-V 生态发展的关键期。随着软件生态的完善、技术人才的成长以及商业模式的创新，RISC-V 有望成为支撑人工智能发展的重要基础架构。对于我国而言，抓住 RISC-V 带来的历史机遇，加强核心技术攻关，深化国际合作，有望在人工智能，高性能计算产业实现跨越式发展，打破封锁限制，为构建自主可控的数字产业设施奠定坚实基础。

参考文献

- [1] Alibaba DAMO Academy (2023) XuanTie C920 RISC-V Processor Technical Whitepaper. Alibaba Group.
- [2] Alibaba Group (2024) 2023 Annual Report: RISC-V Ecological Development. Alibaba Group.
- [3] Allwinner Technology (2023) T113 RISC-V Processor Application Report. Allwinner Technology.
- [4] ARM Holdings (2022) ARMv9 Architecture Reference Manual. ARM Holdings.
- [5] Canaan Creative (2021) K210 RISC-V AI Processor Datasheet. Canaan Creative.
- [6] Crunchbase (2024) Global RISC-V Startup Landscape Report 2023. Crunchbase Inc.
- [7] European Commission (2022) Digital Europe Programme: RISC-V for Digital Sovereignty. European Commission.
- [8] EPI Project (2023) European Processor Initiative: RISC-V HPC Roadmap. EPI Consortium.
- [9] Gartner (2023) Semiconductor Design Cost Analysis 2023. Gartner Inc.
- [10] Grand View Research (2023) RISC-V Market Size Report, 2030. Grand View Research Inc.
- [11] Google (2023) Android 16: Native RISC-V Support Announcement. Google LLC.
- [12] GreenWaves Technologies (2022) GAP8 RISC-V Processor Technical Brief. GreenWaves Technologies.
- [13] Hennessy, J.L. and Patterson, D.A. (2019) Computer Architecture: A Quantitative Approach. 6th Edition, Morgan Kaufmann.
- [14] ICT (2023) Xiangshan RISC-V Processor Second-Generation Architecture Technical Report. Institute of Computing Technology, CAS.
- [15] IDC (2024) Global IoT Device Connections Forecast, 2020-2025. International Data Corporation.
- [16] Intel (2023) x86-64 Architecture Programmer's Manual. Intel Corporation.
- [17] Jindie Space (2024) K1 RISC-V LLM Accelerator Product Brief. Jindie Space Technology.
- [18] LLVM Project (2023) LLVM 15.0 Release Notes: RISC-V Support. LLVM Foundation.
- [19] Meta (2024) PyTorch RISC-V Port Open Source Announcement. Meta Platforms Inc.
- [20] Microsoft (2023) Windows Support for RISC-V: Roadmap Update. Microsoft Corporation.

-
- [21] PatSnap (2023) Global RISC-V Patent Landscape Report 2023. PatSnap Pte. Ltd.
 - [22] RISC-V International (2022) RISC-V Vector Extension (RVV) 1.0 Specification. RISC-V International.
 - [23] RISC-V International (2023) RISC-V Ecosystem Status Report 2023. RISC-V International.
 - [24] RISC-V International (2023) RISC-V Instruction Set Manual Volume I: Unprivileged ISA (20191213). RISC-V International.
 - [25] RISC-V International (2023) RISC-V Membership and Growth Report 2023. RISC-V International.
 - [26] RISC-V International (2023) RISC-V Privileged Architecture Specification (20211203). RISC-V International.
 - [27] RISC-V International (2023) RISC-V Compliance Suite 1.5 Release Notes. RISC-V International.
 - [28] RISC-V International (2024) RISC-V Technical Roadmap 2024-2026. RISC-V International.
 - [29] Rockchip (2022) RK2306 RISC-V Industrial Processor Datasheet. Rockchip Electronics.
 - [30] Secure-RISC-V Project (2022) Secure RISC-V Architecture Design Guide. ETH Zurich.
 - [31] 秦国锋, 周涛. 基于 Chisel 的 RISC-V 处理器设计[C]//全国高校计算机教育研究会. 2024 中国高校计算机教育大会论文集. 上海: 同济大学电子与信息工程学院, 2024: 13-21.
 - [32] 邵宴萍, 黄立波. RISC-V 指令集扩展研究: 设计、实现与应用[J]. 小型微型计算机系统, 2025, 46(10): 2548-2560.
 - [33] 包云岗, 孙凝晖. 开源芯片生态技术体系构建面临的机遇与挑战[J]. 中国科学院院刊, 2022, 37(1): 24-29.
 - [34] 武延军, 谢涛, 侯锐, 等. RISC-V 系统软件及软硬协同技术专题前言[J]. 软件学报, 2025, 36(9): 3917-3918.
 - [35] Nişancı, G., Flikkema, P.G. and Yalçın, T. (2022) Symmetric Cryptography on RISC-V: Performance Evaluation of Standardized Algorithms. *Cryptography*, **6**, Article 41. <https://doi.org/10.3390/cryptography6030041>
 - [36] 唐时博, 朱嘉诚, 慕德俊, 等. RISC-V 处理器权限正确性验证与提权漏洞自动挖掘方法[J]. 电子与信息学报, 2025, 47(9): 3081-3092.
 - [37] 于斌, 闵玉新, 张自豪, 等. 基于 RISC-V 指令扩展的双线性对协处理器设计[J]. 电子与信息学报, 2025, 47(9): 3137-3145.
 - [38] 张钰儿, 席宇浩, 刘鹏. 基于多操作数的 RISC-V 指令集设计与功能优化方法[J]. 计算机工程与科学, 2025, 47(6): 968-975.