

基于TI F280049的宽频高动态数字锁相环实验研究

侯帅丞

重庆科技大学电子与电气工程学院, 重庆

收稿日期: 2025年6月21日; 录用日期: 2025年7月11日; 发布日期: 2025年7月23日

摘要

在发电机控制、高频感应加热和电源并联等应用场合中, 由锁相环检出的电压幅值、频率和相位变化直接影响系统稳定性。针对现有锁相环动态响应不足、锁频范围较窄的问题, 该文提出了一种适用于宽频范围的快速锁相环, 在阐述锁相和锁频原理的基础上, 将锁频环输出的角频率作为环路滤波器输出的前馈项, 以提高锁相环的响应速度, 并对其二阶广义积分器这类二阶系统设计了IIR滤波器等效的通用数字实现方法, 且通过具体实验验证了所设计方法的有效性。该实验可加深学生对数字信号处理的认识和理解, 并培养学生将控制理论或数学知识转化为数字实现的能力。

关键词

数字信号处理, 锁频环, 数字锁相环

Research on Wide-Frequency and High Dynamic Digital Phase-Locked Loop Experiment Based on TI F280049

Shuaicheng Hou

School of Electronic and Electrical Engineering of Chongqing University of Science and Technology, Chongqing

Received: Jun. 21st, 2025; accepted: Jul. 11th, 2025; published: Jul. 23rd, 2025

Abstract

The voltage amplitude, frequency, and phase gained by a phase-locked loop directly affects system stability under generator control, high-frequency induction heating, and parallel operation of the

power supply. A rapid phase-locked loop with a wide frequency range is proposed to aim at the problems of lower dynamic response and a narrower frequency range. The center frequency of frequency-locked loop is added to the feed-forward term of loop filter to speed the response of the phase-locked loop based on the theory of phase lock and frequency lock. The equivalent and general digitization method between the second-order generalized integrator and IIR filter is designed. Finally, the effectiveness of the designed method is verified by experiments. This experiment can make students know and understand digital signal processing and train their abilities to realize control theory and mathematical knowledge by the digital process.

Keywords

Digital Signal Processing, Frequency-Locked Loop, Digital Phase-Locked Loop

Copyright © 2025 by author(s) and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY 4.0).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

1. 引言

随着半导体技术的飞速发展,宽禁带电力电子器件得到广泛应用,导致发电机整流器、感应加热电源和变频交流电源等电力电子变换器的功率密度和频率越来越高,带来了一系列技术难题。在测量转子位置、谐振频率或交流母线频率相位时必然用到锁相环。因此,适用于变频交流电的宽频高动态响应锁相环成为了研究热点[1]-[6]。

文献[7]和[8]开展了硬件过零计数的锁相实验,但过零点极易受交流电噪声影响。文献[9]对各类数字锁相环进行了综合调研,对比分析各锁相环原理和优缺点,总结出基于二阶广义积分器(Second order generalized integrator, SOGI)的锁相环(Phase-locked loop, PLL)在抗干扰性、滤波能力、谐波提取和动态响应等方面均好于其他锁相环。锁频环(Frequency locked loop, FLL)的引入解决了传统 SOGI-PLL 的频率自适应问题,可以应对宽频锁相[10]。但整个锁相环存在计算负担较重,锁频范围有限和动态响应仍有提升空间的不足[11]-[14]。

因此,本文首先对 SOGI-PLL 进行原理性解析,然后基于带 FLL 的 SOGI-PLL 设计一种改进锁相环,并对 SOGI 这类二阶系统提出 IIR 滤波器等效的通用数字实现方法,通过程序优化减少其运行时间,同时利用锁频环加速锁相环的动态过程并拓宽其锁频范围,使其更具有普适性和实用性。最后,通过设计数字实验,验证所设计方法的有效性和实用性。该实验过程可全面训练和提升学生对数字信号的处理能力。

2. 改进的带锁频环 SOGI-PLL

2.1. SOGI-PLL 的锁相原理

SOGI-PLL 的原理框图如图 1 所示,由带二阶广义积分器的正交信号发生器(Quadrature signal generator, QSG)、Park 变换、环路滤波器和压控振荡器等部分组成, QSG-SOGI 可将单相信号变换为一组正交信号。其中, v 为单相交流电压幅值; v' 为 QSG-SOGI 输出的 α 轴分量; qv' 为 QSG-SOGI 输出的 b 轴分量,其与 α 轴正交; v_d 为单相交流电压的 d 轴分量; v_q 为单相交流电的 q 轴分量; k_{pll} 为环路滤波器比例系数; k_{pli} 为环路滤波器积分系数; ω_c 为单相交流电的额定角频率; ω' 为锁相得到的交流电角频率; θ' 为锁相得到的交流电相位。

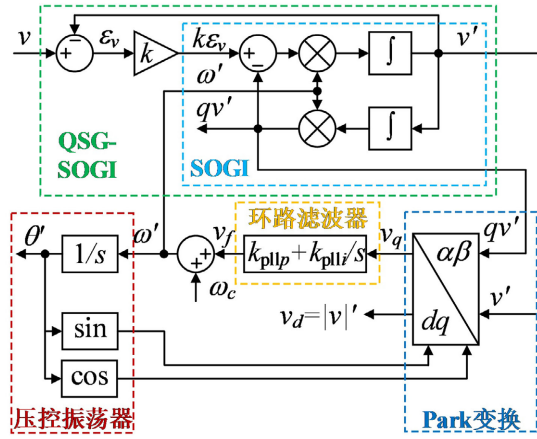


Figure 1. SOGI-PLL principle block diagram

图 1. SOGI-PLL 原理框图

从 QSG-SOGI 输出信号 v' 到输入信号 v 的传递函数设为 $D(s)$, 从输出正交信号 qv' 到输入信号 v 的传递函数设为 $Q(s)$, 可得

$$D(s) = \frac{v'}{v}(s) = \frac{k\omega's}{s^2 + k\omega's + \omega'^2} \quad (1)$$

$$Q(s) = \frac{qv'}{v}(s) = \frac{k\omega'^2}{s^2 + k\omega's + \omega'^2} \quad (2)$$

其中, k 为增益系数; ω' 为中心频率; s 为拉氏算子。

从式(1)和式(2)可看出, QSG-SOGI 的带宽与中心频率 ω' 无关, 只受增益 k 影响。

因此, QSG-SOGI 特别适合对变频交流电生成正交信号。当输入信号频率 ω 和中心频率 ω' 相等时, QSG-SOGI 输出信号 v' 和其正交信号 qv' 的幅值与输入信号 v 也是相等的。

当 k 取 1.414, ω 为 $2\pi \cdot 50$ rad/s 时, 画出 $D(s)$ 和 $Q(s)$ 的波特图, 如图 2 所示, 两条幅频曲线在中心频率 50 Hz 处均能保持 0 dB 的增益, 在谐波 250 Hz 和 350 Hz 处幅值大幅衰减。两条相频曲线在中心频率 50 Hz 处直轴输出信号 v' 的相位超前正交信号 qv' 的相位 90° 。因此, 可将 QSG-SOGI 视为二阶带通滤波器, 只提取在基波频率处的交流信号, 而谐波成分均被衰减掉[7]。

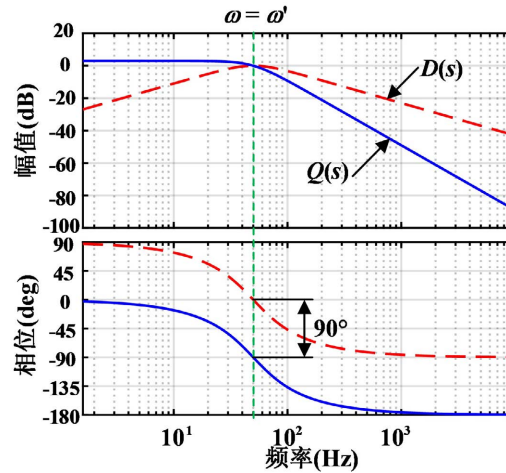


Figure 2. Baud diagrams of $D(s)$ and $Q(s)$ in QSG-SOGI

图 2. QSG-SOGI 中 $D(s)$ 和 $Q(s)$ 的波特图

为了测试 QSG-SOGI 的时域响应, 设输入信号 $v = V \cos(\omega t)$, 解出输出信号 v' 和正交信号 qv' 的时域表达式为

$$v' = V \cos(\omega t) - V \cosh\left(\omega t \sqrt{-1 + (k/2)^2}\right) e^{-\frac{k\omega}{2}t} + \frac{kV/2}{\sqrt{-1 + (k/2)^2}} \sinh\left(\omega t \sqrt{-1 + (k/2)^2}\right) e^{-\frac{k\omega}{2}t} \quad (3)$$

$$qv' = V \sin(\omega t) - \frac{V}{\sqrt{-1 + (k/2)^2}} \sinh\left(\omega t \sqrt{-1 + (k/2)^2}\right) e^{-\frac{k\omega}{2}t} \quad (4)$$

若设输入信号 $v = V \sin(\omega t)$, 解出输出信号 v' 和正交信号 qv' 的时域表达式为

$$v' = V \sin(\omega t) - \frac{V}{\sqrt{-1 + (k/2)^2}} \sinh\left(\omega t \sqrt{-1 + (k/2)^2}\right) e^{-\frac{k\omega}{2}t} \quad (5)$$

$$qv' = -V \cos(\omega t) + V \cosh\left(\omega t \sqrt{-1 + (k/2)^2}\right) e^{-\frac{k\omega}{2}t} + \frac{Vk/2}{\sqrt{-1 + (k/2)^2}} \sinh\left(\omega t \sqrt{-1 + (k/2)^2}\right) e^{-\frac{k\omega}{2}t} \quad (6)$$

图 3 为 QSG-SOGI 输出信号的时域响应图, 当 $k = 1.414$ 时, 阻尼系数 $\xi = 0.707$, 整定时间大约为 20 ms, 这是整定时间和系统响应间较优的选择。

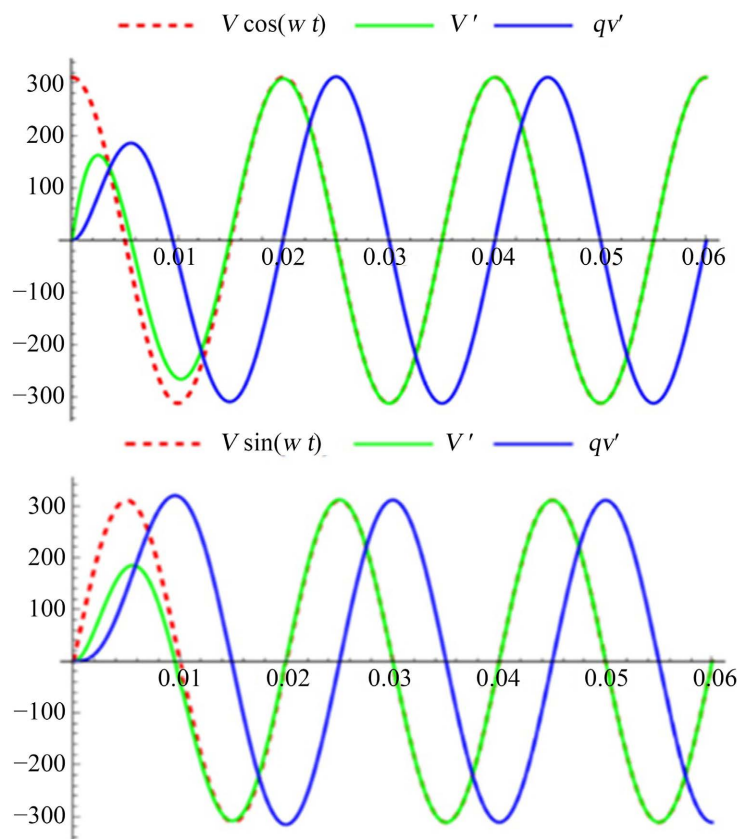


Figure 3. Time domain response diagram of QSG-SOGI ($k = 1.414$, $\omega = 2\pi \cdot 50$ rad/s)

图 3. QSG-SOGI 的时域响应图($k = 1.414$, $\omega = 2\pi \cdot 50$ rad/s)

根据图 1 和 Park 变换, 当 $v = V \cos(\omega t)$ 时, 可得

$$\begin{bmatrix} v_d \\ v_q \\ v_0 \end{bmatrix} = \begin{bmatrix} \cos(\theta') & \sin(\theta') & 0 \\ -\sin(\theta') & \cos(\theta') & 0 \\ 0 & 0 & 1 \end{bmatrix} \times \begin{bmatrix} v' \\ qv' \\ 0 \end{bmatrix} = V \begin{bmatrix} \cos(\omega t - \theta') \\ \sin(\omega t - \theta') \\ 0 \end{bmatrix} \quad (7)$$

当信号 v' 相角 ωt 和 θ' 相等时, $v_d = V$, $v_q = 0$ 。由此可得, 锁相原理为将 q 轴分量 v_q 通过 PI 环路滤波器调节到零, 就可得到原信号相角为 θ' , 此时, v_d 等于输入信号有效值 V 。

当 $v = V \sin(\omega t)$ 时, 可得

$$\begin{bmatrix} v_d \\ v_q \\ v_0 \end{bmatrix} = \begin{bmatrix} \cos(\theta') & \sin(\theta') & 0 \\ -\sin(\theta') & \cos(\theta') & 0 \\ 0 & 0 & 1 \end{bmatrix} \times \begin{bmatrix} v' \\ qv' \\ 0 \end{bmatrix} = V \begin{bmatrix} \sin(\omega t - \theta') \\ -\cos(\omega t - \theta') \\ 0 \end{bmatrix} \quad (8)$$

若仍将 q 轴分量 v_q 通过 PI 环路滤波器调节到零, 则 $\theta' = \omega t + 90^\circ$, $v_d = -V$ 。此时, 锁相环锁出的相位 θ' 与原信号相差 90° , v_d 等于输入信号幅值的相反数。

2.2. 锁频环原理

从图 1 可知, QSG-SOGI 的中心频率 ω' 为锁相环的输出角频率, 这导致 QSG-SOGI 与锁相环相耦合, 影响锁相的频率范围和动态性能。于是, 文献[10]基于 QSG-SOGI 自身谐振特性构建了一种锁频环, 无需锁相环的参与可将其中心频率自适应对齐到输入信号频率。

从输入信号 v 到误差信号 ε_v 的传递函数设为 $E(s)$, 可得

$$E(s) = \frac{\varepsilon_v}{v}(s) = \frac{s^2 + \omega'^2}{s^2 + k\omega's + \omega'^2} \quad (9)$$

为了寻求误差信号 ε_v 和正交信号 qv' 间的联系, 画出 QSG-SOGI 中 $E(s)$ 和 $Q(s)$ 的波特图, 如图 4 所示。 $E(s)$ 的幅频曲线表现出二阶陷波器的特性, 在中心频率 ω' 处增益为零; 从其相频曲线可看出, 输入信号频率 ω 从小到大穿越中心频率 ω' 时, 相位发生了 180° 的跳变。将 $E(s)$ 和 $Q(s)$ 的相频曲线对比来看, 当输入信号频率 ω 小于中心频率 ω' 时, 误差信号 ε_v 和正交信号 qv' 的相位保持一致; 当输入信号频率 ω 大于中心频率 ω' 时, 误差信号 ε_v 和正交信号 qv' 的相位相反。

设 $\varepsilon_f = \varepsilon_v \times qv'$, 即定义频率误差信号 ε_f 为误差信号 ε_v 和正交信号 qv' 的乘积。从图 4 可知, 当 $\omega < \omega'$ 时, $\varepsilon_f > 0$; 当 $\omega = \omega'$ 时, $\varepsilon_f = 0$; 当 $\omega > \omega'$ 时, $\varepsilon_f < 0$ 。因此, 基于该频率误差变量, 可以构造一个带负增益 $-\gamma$ 的积分器将 ε_f 的直流分量调节到零, 即可快速捕获到输入信号的中心频率 ω' 。此外, 输入信号的额定角频率 ω_c 可以作为积分器的前馈量以加速初始锁频过程。

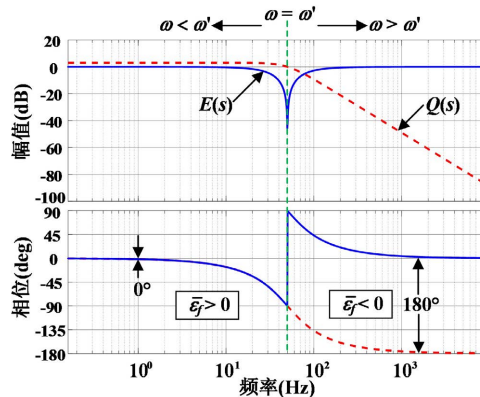


Figure 4. Baud diagrams of $E(s)$ and $Q(s)$ in QSG-SOGI ($k = 1.414$, $\omega = 2\pi \cdot 50$ rad/s)

图 4. QSG-SOGI 中 $E(s)$ 和 $Q(s)$ 的波特图 ($k = 1.414$, $\omega = 2\pi \cdot 50$ rad/s)

对于单相 QSG-SOGI，频率误差信号 e_f 为误差信号 ε_v 和正交信号 qv' 的乘积。可得

$$\omega' = \omega_c + \int (v - v') \times qv' \times (-\gamma) \quad (10)$$

由于锁频环与输入信号和锁相环无关联，以高动态性能自适应捕获 QSG-SOGI 的中心频率，可使 QSG-SOGI 产生任意频率输入信号的正交信号。

2.3. 改进的 SOGI-PLL

将锁频环输出的中心频率作为锁相环的前馈项，进一步提升 SOGI-PLL 的动态响应，并扩大锁频范围。基于锁频环前馈的宽频高动态 SOGI-PLL 原理框图如图 5 所示。

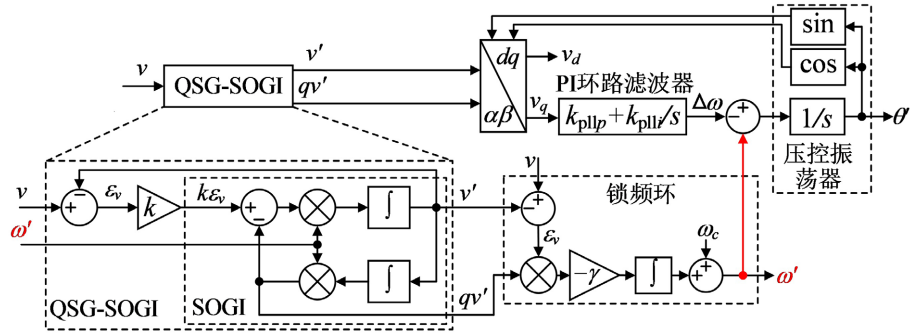


Figure 5. Improved SOGI-PLL based on frequency locked loop

图 5. 基于锁频环的改进 SOGI-PLL

3. 主要环节的数字实现

3.1. SOGI 的数字实现

$D(s)$ 和 $Q(s)$ 是 QSG-SOGI 的关键传递函数，在数字实现时，分别对其进行双线性变换得

$$\left\{ \begin{aligned} D(s) &= D\left(\frac{2}{t_s} \cdot \frac{z-1}{z+1}\right) = \frac{b_0 + b_1 z^{-1} + b_2 z^{-2}}{1 - a_1 z^{-1} - a_2 z^{-2}} \\ b_0 &= 2k\omega' t_s / (\omega'^2 t_s^2 + 2k\omega' t_s + 4) \\ b_1 &= 0 \\ b_2 &= -2k\omega' t_s / (\omega'^2 t_s^2 + 2k\omega' t_s + 4) \\ a_1 &= -(2\omega'^2 t_s^2 - 8) / (\omega'^2 t_s^2 + 2k\omega' t_s + 4) \\ a_2 &= -(\omega'^2 t_s^2 - 2k\omega' t_s + 4) / (\omega'^2 t_s^2 + 2k\omega' t_s + 4) \end{aligned} \right. \quad (11)$$

$$\left\{ \begin{aligned} Q(s) &= Q\left(\frac{2}{t_s} \cdot \frac{z-1}{z+1}\right) = \frac{b_0 + b_1 z^{-1} + b_2 z^{-2}}{1 - a_1 z^{-1} - a_2 z^{-2}} \\ b_0 &= k\omega'^2 t_s^2 / (\omega'^2 t_s^2 + 2k\omega' t_s + 4) \\ b_1 &= 2k\omega'^2 t_s^2 / (\omega'^2 t_s^2 + 2k\omega' t_s + 4) \\ b_2 &= k\omega' t_s / (\omega'^2 t_s^2 + 2k\omega' t_s + 4) \\ a_1 &= -(2\omega'^2 t_s^2 - 8) / (\omega'^2 t_s^2 + 2k\omega' t_s + 4) \\ a_2 &= -(\omega'^2 t_s^2 - 2k\omega' t_s + 4) / (\omega'^2 t_s^2 + 2k\omega' t_s + 4) \end{aligned} \right. \quad (12)$$

其中, b , a 分别为分子分母系数; z 为 z 变换算子。

若直接根据式(11)和式(12)各自封装成函数, 将导致程序比较复杂, 运算效率不高。可看出 $D(s)$ 和 $Q(s)$ 的离散等式具有统一形式, 可等效为 IIR 滤波器, 其方程为

$$f_{iir}(z) = \frac{\sum_{i=0}^M b_i z^{-i}}{1 - \sum_{l=1}^N a_l z^{-l}} \quad (13)$$

其中, N , M 为常实数。

如图 6 所示, 可按典型 II 型 IIR 算法实现 $D(s)$ 和 $Q(s)$ 的离散程序。图中, $X[n]$ 为当前输入值; $Y[n]$ 为当前输出值; $w[n]$ 为中间变量。QSG-SOGI 数字代码如下所示, 其中, k 为 $D(s)$ 和 $Q(s)$ 的增益; w_dash 为中心频率; δt 为程序运行周期。

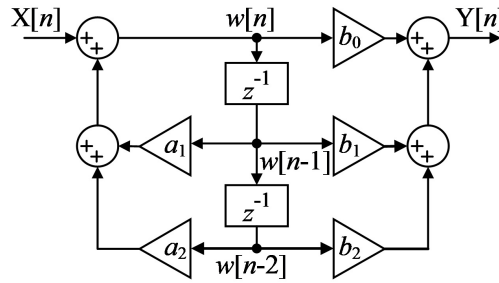


Figure 6. Structure block diagram of typical type II IIR algorithm
图 6. 典型 II 型 IIR 算法结构框图

```
//D(s)和 Q(s)共有系数且每个周期需更新
osgx = 2 * k * w_dash * delta_t;
osgy = w_dash * w_dash * delta_t * delta_t;
temp = 1 / (osgx + osgy + 4);
//D(s)系数且每个周期需更新
coeff_b0 = osgx * temp;
coeff_b1 = 0;
coeff_b2 = -1 * coeff_b0;
coeff_a1 = 2 * (4 - osgy) * temp;
coeff_a2 = (osgx - osgy - 4) * temp;
// Q(s)系数且每个周期需更新
coeff_b0 = k * osgy * temp;
coeff_b1 = 2 * coeff_b0;
coeff_b2 = coeff_b0;
coeff_a1 = 2 * (4 - osgy) * temp;
coeff_a2 = (osgx - osgy - 4) * temp;
//D(s)和 Q(s)统一计算代码
w[1] = X[i] + coeff_a1 * w[2] + coeff_a2 * w[3];
Y[i] = coeff_b0 * w[1] + coeff_b1 * w[2] + coeff_b2 * w[3];
```

w[2] = w[1];

w[3] = w[2];

3.2. Park 变换的数字实现

代码如下:

u_D[0] = cosine * osg_u[0] + sine * osg_qu[0];

u_Q[0] = cosine * osg_qu[0] - sine * osg_u[0];

3.3. 环路滤波 LPF 的数字实现

对环路滤波器 LPF 进行双线性变换得

$$\begin{cases} LPF(s) = k_{pll} + k_{plli} \cdot \frac{1}{s} \\ LPF\left(\frac{2}{t_s} \cdot \frac{z-1}{z+1}\right) = \frac{b_0 + b_1 z^{-1}}{1 - z^{-1}} \\ b_0 = (k_{plli} t_s + 2k_{pll})/2 \\ b_1 = (k_{plli} t_s - 2k_{pll})/2 \end{cases} \quad (14)$$

其中, b 为分子系数; z 为 z 变换算子。

代码如下:

y_lpf[0] = y_lpf[1] + lpf_coeff_b0 * u_Q[0] + lpf_coeff_b1 * u_Q[1];

y_lpf[1] = y_lpf[0];

u_Q[1] = u_Q[0];

4. 教学实验设计与验证

通过数字锁相环实验, 可以让学生直观感受和掌握数字信号处理相关知识在实际项目中的应用, 并体验是如何将课本数学公式变为控制芯片中运行代码的过程, 从而使他们建立信号处理及数字控制相关的概念、流程和作用, 以及带给他们成就感。

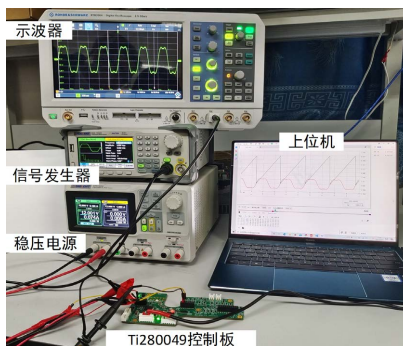


Figure 7. Digital phase locked loop experimental platform

图 7. 数字锁相环实验平台

所设计的数字锁相环实验平台如图 7 所示, 其由示波器、信号发生器、稳压电源、控制板和上位机组成, 可以满足教学演示和创新训练的需求。首先, 由稳压电源给控制板供电; 然后, 信号发生器产生频率可变、谐波可调的输入信号; 其次, 由搭载信号调理电路和 TMS320F280049 芯片的控制板采集输入

信号,经数字锁相环程序运算后得出输入信号的相位信息[15];最后,由控制板将采集到的输入信号和锁相得到的相位信息通过串口发送给上位机显示,可直观锁相结果。其中,示波器可用于观测数字锁相环输入信号是否设置准确。

图8为上位机中显示的带谐波变频信号的锁相波形图。图中红色波形为输入信号 v ,且为带三次谐波的正弦信号;绿色波形为其对应的相位信息 θ' 。可见,本数字锁相环能处理含谐波分量的输入信号,且能稳定锁出其相位。从图8(b)和图8(c)中可看出,在输入信号频率跳变过程中,动态响应非常快,且在100 Hz的信号频率下同样能准确锁相。

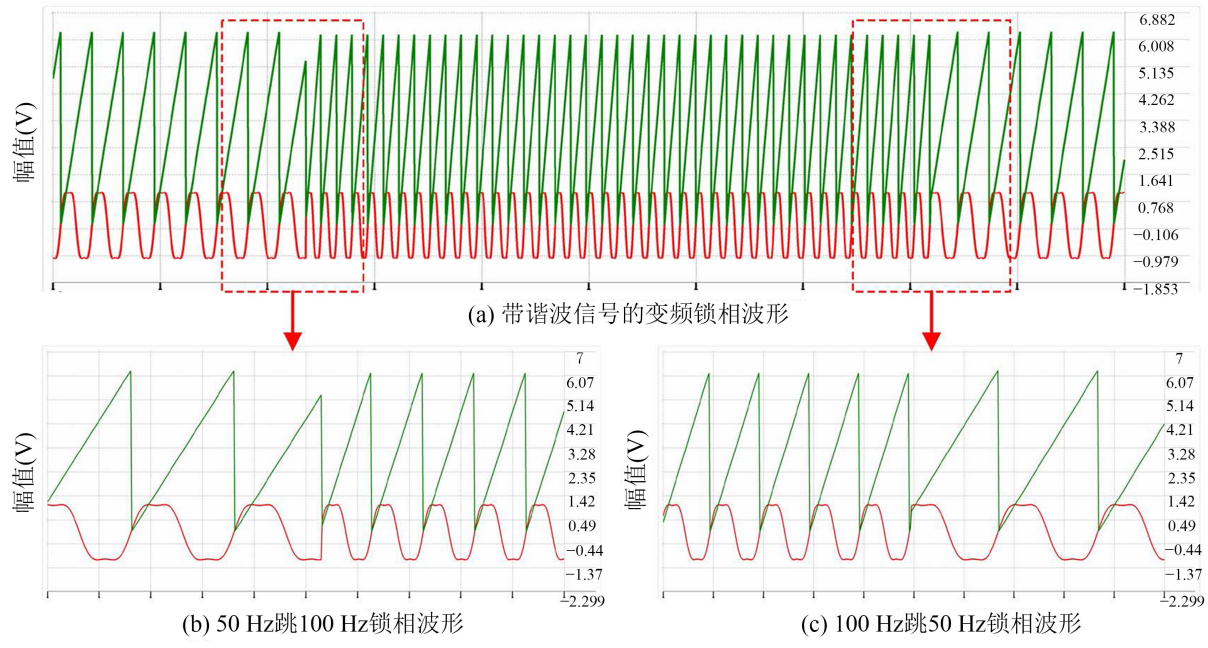


Figure 8. Experimental waveform of digital phase locked loop
图8. 数字锁相环实验波形图

5. 结论

以电能变换中常用的数字锁相环为载体,提出了一种高动态宽频域锁相环及其数字实现方法,并搭建了可实施变频交流信号数字锁相环的实验平台。在此平台下进行的数字锁相环实验可使学生直观感受数字信号处理技术的具体应用方法和实际运行过程,有助于学生理解和掌握相关知识,并深刻体会信息技术对我们生产生活的重要性。本实验平台不仅能进行数字锁相环实验,还能扩展高阶滤波器、傅里叶变换等信号处理实验,为学生开展创新训练和科学研究提供了实验条件,且能较好地培养学生的动手实践和科研创新能力。

基金项目

该课题受到重庆市高等教育教学改革研究一般项目(233432)、重庆科技大学教学改革研究项目(202332)资助。

参考文献

- [1] 杨仁增, 张良, 李鑫海, 等. 弱电网条件下的单相频率自适应锁相环[J]. 机械与电子, 2021, 39(9): 12-15.
- [2] 李卫国, 刘宏伟, 刘新宇, 等. 基于改进 SOGI-PLL 的电压同步信号检测技术[J]. 东北电力大学学报, 2021, 41(3):

93-100.

- [3] 李永刚, 杨雅菲, 姜玉霞. 弱电网下 SOGI-PLL 参数对 LCL 型并网逆变器稳定性影响及参数优化[J]. 河南理工大学学报(自然科学版), 2021, 40(4): 126-134.
- [4] 曾君, 岑德海, 陈润, 等. 针对直流偏移和谐波干扰的单相锁相环[J]. 电工技术学报, 2021, 36(16): 3504-3515.
- [5] 闫培雷, 葛兴来, 王惠民, 等. 弱电网下新能源并网逆变器锁相环参数优化设计方法[J]. 电网技术, 2022, 46(6): 2210-2221.
- [6] 吴振鑫, 常国祥. ANPC 光伏逆变器的并网研究[J]. 电力学报, 2021, 36(2): 154-163, 172.
- [7] 丁中樑, 黄础, 胡天友. 基于新型数字锁相技术的光伏并网逆变器[J]. 实验室研究与探索, 2012, 31(4): 31-33, 107.
- [8] 贺道坤, 许炜, 王薇. 基于 DSP 的数字锁相环的设计[J]. 实验室研究与探索, 2013, 32(2): 239-242.
- [9] Golestan, S., Guerrero, J.M. and Vasquez, J.C. (2017) Three-Phase PLLs: A Review of Recent Advances. *IEEE Transactions on Power Electronics*, 32, 1894-1907. <https://doi.org/10.1109/tpel.2016.2565642>
- [10] Teodorescu, R., Liserre, M., Rodriguez, P. 光伏与风力发电系统并网变换器[M]. 北京: 机械工业出版社, 2012.
- [11] 张伟佳. 高动态频率快速锁定技术研究[D]: [硕士学位论文]. 成都: 电子科技大学, 2021.
- [12] 吝毅, 陈维刚, 朱天航. 自适应快速锁定全数字锁相环设计[J]. 信息技术与信息化, 2022(8): 112-115.
- [13] 张学友, 何山, 李文龙. 基于谐波提取技术的风机频率自适应研究[J]. 河北科技大学学报, 2021, 42(6): 570-578.
- [14] 荆世博, 辛超山, 薛静杰, 等. 基于二阶带通滤波器的单相锁相环技术研究[J]. 四川电力技术, 2021, 44(2): 54-57, 69.
- [15] 杨晨, 薛家祥. 基于 TMS320F280049 的等离子体电源设计[J]. 自动化与仪表, 2020, 35(8): 82-86.