

基于叠加相关的双门限序列分选算法研究

李 宇, 钱 博

沈阳理工大学信息科学与工程学院, 辽宁 沈阳

收稿日期: 2025年11月2日; 录用日期: 2025年11月25日; 发布日期: 2025年12月1日

摘 要

为解决复合维度通信系统同步捕获算法复杂度高、硬件资源消耗大的问题, 在深入分析复合维度通信系统同步捕获方式的基础上, 提出一种基于叠加相关的双门限序列分选算法, 该算法的核心机理是利用PN码优秀的互相关性, 采用多序列伪码叠加相关处理的方式完成码同步过程, 接着, 通过部分码片相关处理对叠加序列中发射端所使用的PN码通道进行甄别。仿真结果表明, 叠加相关的双门限序列分选算法可实现第一路及第二路数据恢复功能, 且资源消耗和功耗均优于传统算法。

关键词

同步捕获, 叠加相关, 双门限

Investigation of a Dual-Threshold Sequential Sorting Algorithm Based on Superposition Correlation

Yu Li, Bo Qian

School of Information Science and Engineering, Shenyang Ligong University, Shenyang Liaoning

Received: November 2, 2025; accepted: November 25, 2025; published: December 1, 2025

Abstract

To address the high complexity and large hardware resource consumption of synchronization acquisition algorithms in composite dimensional communication systems, this study conducts an in-depth analysis of synchronization acquisition methods. A dual-threshold sequence sorting algorithm based on superimposed correlation is proposed. The core mechanism of this algorithm utilizes the excellent cross-correlation properties of PN codes. It employs multi-sequence pseudo-code superimposed correlation processing to achieve code synchronization. Subsequently, partial chip correlation processing is used to identify the PN code channels employed at the transmitting end

within the superimposed sequences. Simulation results show that the dual-threshold sequence sorting algorithm with superimposed correlation enables the recovery of both the first and second data streams. Moreover, it outperforms traditional algorithms in terms of resource consumption and power efficiency.

Keywords

Synchronous Capture, Correlation Overlay, Dual Threshold

Copyright © 2025 by author(s) and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY 4.0).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

1. 引言

扩频通信具有很好的抗截获、抗干扰和组网能力, 因此被广泛部署在军事通信和民用场合[1]。直接序列扩频技术(Direct Sequence Spread Spectrum, DSSS)是最具代表性的扩频技术, 直接序列扩频(DSSS)技术通过将信号的频谱扩展到一个很宽的频带上, 降低信号功率谱密度, 提高信号的抗干扰能力[2]。但是传统直接序列扩频技术存在占用带宽大、信息传输效率低等问题[3]。而复合维度直接序列扩频通信技术(Composite-Dimension Direct Sequence Spread Spectrum, CD-DSSS)作为近年来广受关注的一种高效率的直扩技术[4], 可以通过不同 PN 码通道关系携带第二路数据信息[5][6], 为提高系统效率提供了一种新的方法。但是, 由于 CD-DSSS 技术发射端使用多路 PN 码对第一路数据进行扩频操作, 导致接收端很难实现同步捕获。文献[7]介绍了串行与并行同步捕获方法, 文献[8]介绍了混合捕获的方案, 文献[9]详细讨论了基于 FFT 的捕获方法。然而, 在实际应用中, 并行相关同步捕获算法面临着复杂度高[10]、硬件资源消耗大的挑战[11]。针对 CD-DSSS 的同步捕获算法复杂度较高、硬件资源消耗大等问题[12][13]。本文提出一种叠加相关双门限序列分选(Superimposed Correlation Dual-Threshold Sequence Sorting, SC-DSS)算法, 降低 CD-DSSS 的同步捕获的计算复杂度与资源消耗。

2. CD-DSSS 系统同步捕获结构模型

CD-DSSS 系统同步捕获结构模型如图 1 所示。

在不考虑噪声和干扰的情况下, 接收信号 $R(n)$ 的表达式为:

$$R(n) = A \cos[2\pi f_0 n + \varphi_0] [d_1(n) \otimes PN_i(n - n_0)] \quad (1)$$

与本地载波混频, 解调之后的信号 $D(n)$ 可以表示为:

$$D(n) = A \cos[2\pi(f_0 - f_1)n + (\varphi_0 - \varphi_1)] [d_1(n) \otimes PN_i(n - n_0)] \quad (2)$$

载波同步之后得到解调后的信号 $D(n)$ 可以表示为:

$$D(n) = [d_1(n) \otimes PN_i(n - n_0)] \quad (3)$$

接下来进行码同步, 接收端也需要生成与发射端相同伪随机序列并与发送端的伪随机序列进行匹配。首先, 要通过 m 路相关器对伪码相位进行粗捕获, 经过 m 路相关器模块完成相关计算结果 F_m 输出为:

$$F_m = \int_0^T D(n) PN_m dn \quad m = i \quad (4)$$

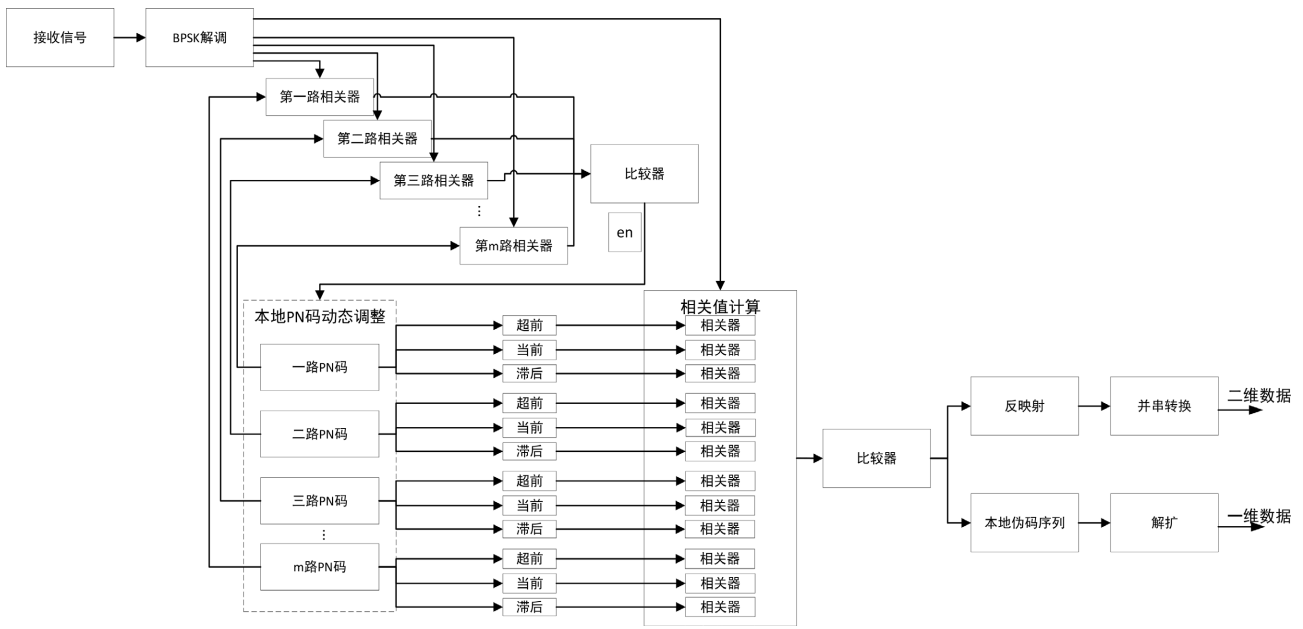


Figure 1. CD-DSSS system synchronous capture structural model

图 1. CD-DSSS 系统同步捕获结构模型

粗捕获完成之后进行精同步, 当相关结果超过粗捕获阈值时, 输出当前相位的本地 m 路伪码序列以进行精同步, $D(n)$ 分别与本地 m 路 PN 码序列 PN_m 的超前、当前、滞后支路做相关操作, 计算出最大的相关值 $F_{\max}$:

$$F_{\max} = \max \begin{bmatrix} F_{1\text{超前}} & F_{1\text{当前}} & F_{1\text{滞后}} \\ F_{2\text{超前}} & F_{2\text{当前}} & F_{2\text{滞后}} \\ \vdots & \vdots & \vdots \\ F_{m\text{超前}} & F_{m\text{当前}} & F_{m\text{滞后}} \end{bmatrix} \quad (5)$$

码同步后伪码相位延迟 $n_0 = 0$, 某一路的最大相关值 $F_{\max}$ 大于精同步阈值时, 即可判断出发射端所使用的 PN 码通道, 接着经并串转换模块即可解析二维数据 $d_2(n)$, 伪码同步捕获过程后, 经过解扩模块, 将伪码通道 $m = i$ 的伪码序列 PN_i 异或便可得到解扩后的第一路数据 $d_1(n)$, 其表达式为:

$$d_1(n) = D(n)PN_i(n) \quad (6)$$

3. 基于 SC-DSS 算法机理研究

为了解决复合维度通信系统同步捕获相关器资源占用多, 硬件资源消耗大的问题, 本文提出了 SC-DSS 算法的同步捕获结构, 基于 SC-DSS 算法的同步捕获结构图如图 2 所示。

基于叠加相关的双门限序列分选算法分为两个部分, 第一部分是利用叠加序列完成粗捕获和精同步, 第二部分则是利用双门限序列分选算法对发射端所使用的 PN 码通道进行有效甄别。具体操作如下:

3.1. 序列叠加相关同步捕获

在不考虑噪声的情况下, 接收端接收到的信号可表示为:

$$\begin{aligned} R(n) &= \left\{ \sum [d_1(n)g(t-nT_s)] \otimes PN_i \right\} \sin[\omega_1 t + \theta_1(t)] \\ &= D(n) \sin[\omega_1 t + \theta_1(t)] \end{aligned} \quad (7)$$

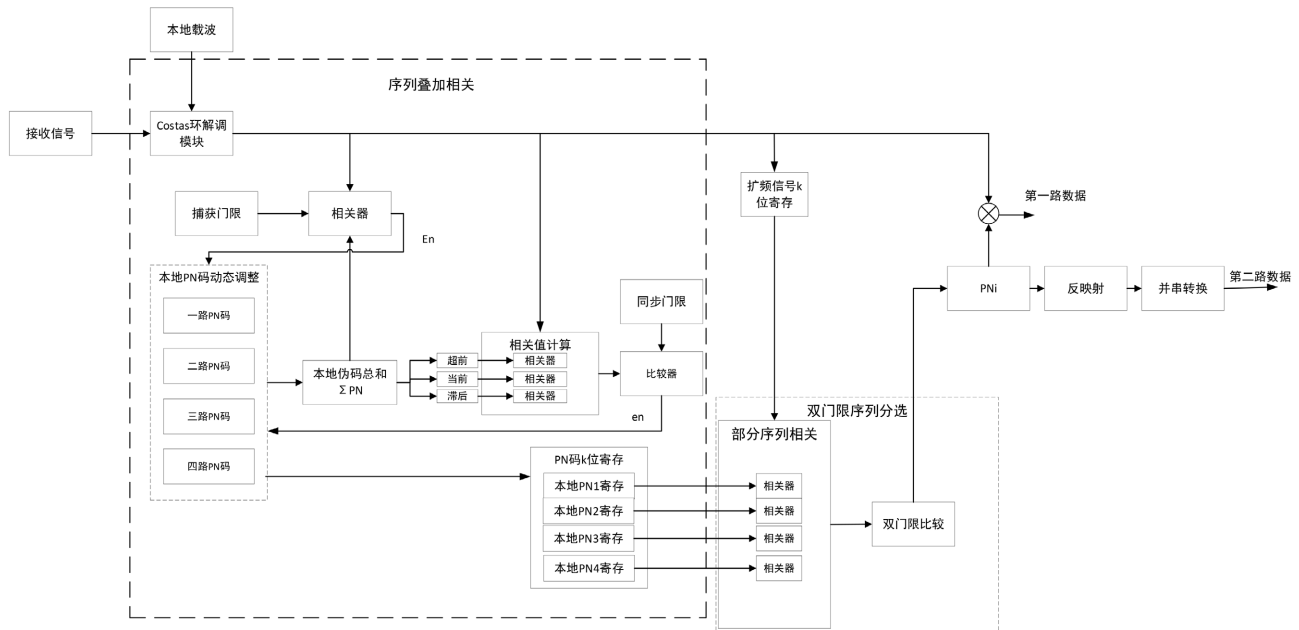


Figure 2. Diagram of the synchronous capture structure based on superimposed correlation dual-threshold sequence selection
图 2. 基于叠加相关双门限序列分选同步捕获结构图

载波同步后, 利用本地 m 路 PN 码的叠加和与扩频信号 $D(n)$ 相关, 接收信号 $R'(n)$ 可以表示为:

$$\begin{aligned}
R'(n) &= D(n) \otimes \sum_1^m PN_i(n - \hat{n}) \\
&= D(n) \otimes (PN_1(n - \hat{n}) + PN_2(n - \hat{n}) + \dots + PN_m(n - \hat{n})) \\
&= D(n) \otimes PN_1(n - \hat{n}) + D(n) \otimes PN_2(n - \hat{n}) + \dots + D(n) \otimes PN_m(n - \hat{n})
\end{aligned} \tag{8}$$

由于 PN 码之间具有优秀的互相关性，不同的 PN 码序列之间相关值约等于 0。所以接收信号 $R'(n)$ 可以进一步表示为：

$$\begin{aligned}
R'(n) &= \sum [d_1(n)g(t-nT_s)] \otimes PN_i(n-n_0) \otimes PN_1(n) + \dots \\
&\quad + \sum [d_1(n)g(t-nT_s)] \otimes PN_i(n-n_0) \otimes PN_m(n) \\
&= \sum [d_1(n)g(t-nT_s)] \otimes PN_i(n-n_0) + 0 + \dots + 0 \\
&= \sum [d_1(n)g(t-nT_s)] \otimes PN_i(n) \otimes PN_i(n-n_0)
\end{aligned} \tag{9}$$

相关结果最终为扩频信号 $D(n)$ 与发射端所使用的 PN 码通道 PN_i 的相关值。接着通过大步长不断调整本地伪码总和的相位，当相关峰值超过捕获阈值时，粗捕获完成。同理，为了将码相位误差维持在亚码片量级，将扩频信号 $D(n)$ 信号分别与本地伪码总和的超前、当前、滞后状态进行积分，小步长调整本地伪码总和的相位，当收发 PN 码相位差在 1 个 PN 码元以内时，精同步完成。

3.2. 双门限序列分选

通过伪码同步环之后,此时本地 PN 码中已经有了一路与接收信号完成了相位的同步,接着用双门限多序列分选算法对发射端所使用的 PN 码通道进行甄别。双门限多序列分选算法核心思想是利用部分 k 位寄存的相关值的差异来甄别多序列中发射端所使用的伪码通道。采用部分寄存相关值的方式代替整体相关操作,进一步降低硬件资源消耗。同时,由于基带数据取值为 1 或-1,所以接收端的扩频信号可

能与本地 PN 码是相同相位或者相反相位, 当与本地相位相反时, 虽然相关强度在增加, 但是相关值会进行负数累加, 在硬件设计中, 负数比正数多一个符号位, 为了最大程度降低硬件资源消耗, 本文设计一个中间值 mid 作为相关值的初始值, 此时不论是正相关还是负相关, 相关值都不会是负数, 接着设置两个相关值门限, 门限值分别为 $mid \pm k$, 当相关值超过 $mid + k$ 或者小于 $mid - k$ 时即可辨别发射端所使用的 PN 码通道。其中 k 的取值应该为本地 m 路 PN 码遍历所有相位所能够彼此区分的最小位数, k 位叠加序列与本地 PN 码序列的寄存值分别进行相关运算, 其数学表达为:

$$\begin{aligned} corr_1 &= \sum_{n=1}^k \{ \sum [d_1(n)g(t-nT_s)] \otimes PN_i(n) \otimes PN_1(n) \} \\ corr_2 &= \sum_{n=1}^k \{ \sum [d_1(n)g(t-nT_s)] \otimes PN_i(n) \otimes PN_2(n) \} \\ &\vdots \\ corr_m &= \sum_{n=1}^k \{ \sum [d_1(n)g(t-nT_s)] \otimes PN_i(n) \otimes PN_m(n) \} \end{aligned} \quad (10)$$

当某一路相关值 $corr_i$ 超过双门限范围时, 即可辨认出发射端所使用的 PN 码通道, 接着经过反映射得到第二路数据。最后利用所辨认出的 PN 码通道与扩频信号 $D(n)$ 异或即可得到第一路数据。

4. 仿真结果分析与资源消耗分析

4.1. 仿真结果分析

为了验证本文所研究的算法, 利用 Vivado 硬件平台, 对基于 SC-DSS 算法的复合维度通信系统进行硬件仿真实验。参数设置如表 1 所示:

Table 1. Parameter settings

表 1. 参数设置

名称	符号	设定值	单位
第一路数据速率	Rb	787.4	Bps
伪码速率	Rc	1	MHz
载波速率	Fc	10	MHz
采样频率	Fs	100	MHz
伪码周期	Tc	127	chip
寄存位数	K	32	bit

图 3 为 SC-DSS 算法 FPGA 仿真结果图, 其中, CA_OUT 和 data_pn 分别为发射端的第一、二路数据, bit_sync 为伪码地址置位信号, flag 为解调完成标志, addr_load 为置位地址, locked 为码同步环锁定信号, distance1-distance4 分别为扩频信号与四路伪码的部分相关值, pn_e 和 data_e 分别是破译的第一、二路数据。

可以看出, Costas 环解调完成后输出解调信号即扩频信号 $D(n)$, 同时 flag 信号拉高, 伪码同步环开始工作, addr_load 先是大步长调整本地伪码相位, 当扩频信号 $D(n)$ 与叠加序列相关值超过捕获阈值时接着进行小步长调整, 随着扩频信号 $D(n)$ 与叠加序列相关值超过同步阈值时, locked 信号拉高。接着对当前地址的四路本地伪码与扩频信号 $D(n)$ 进行 32 位的移位寄存操作, 每当完成一个周期的寄存操作, valid 信号被拉高。寄存值进入双门限多序列分选模块, 对扩频信号 $D(n)$ 与四路伪码寄存值进行部分相

关, 当部分相关值超出门限时即可通过反映射破译第二路数据 `pn_e`, 进一步, 将第二路数据对应的伪码序列与扩频信号进行解扩操作即可破译第一路数据 `data_e`。发射端的第二路数据与接收端破译的第二路数据对应图中蓝色部分。由此可见, 基于 SC-DSS 的复合维度通信系统第二路数据破译成功。

接着我们分析一下第一路数据, 局部放大图如图 4 所示:

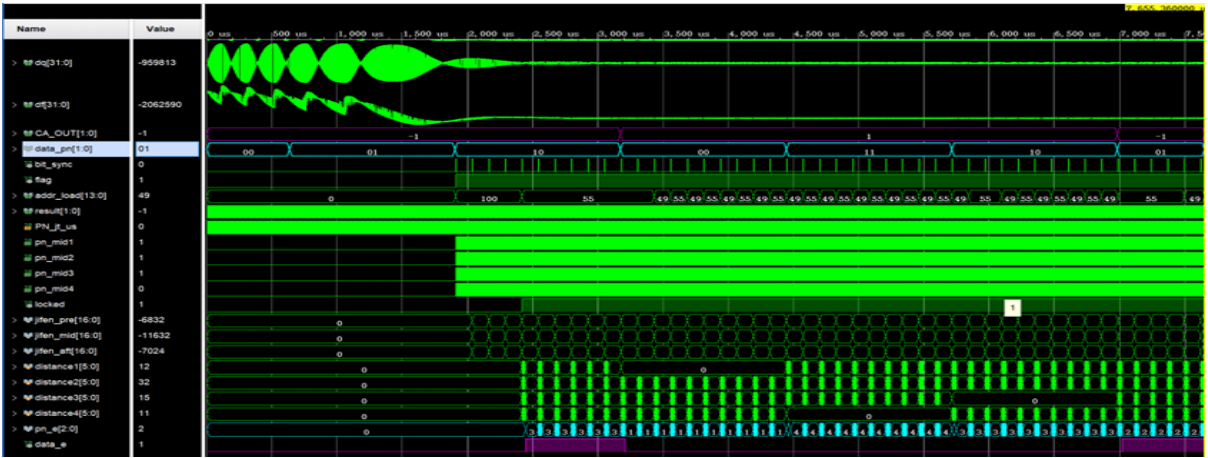


Figure 3. SC-DSS algorithm FPGA simulation result diagram
图 3. SC-DSS 算法 FPGA 仿真结果图



Figure 4. Local magnified view of FPGA simulation results of the SC-DSS algorithm
图 4. SC-DSS 算法 FPGA 仿真结果局部放大图

从图 4 可以看出, 当发射端的第一路数据信号 `CA_OUT` 经过映射的结果为-1 对应破译后数据 `data_e` 为 1, 发射端第一路数据信号 `CA_OUT` 经过映射的结果为 1 对应破译后数据 `data_e` 为 0, 由此可见, 基于 SC-DSS 的复合维度通信系统第一路数据破译成功。

4.2. 资源消耗与功耗分析

基于 Vivado 工具生成的硬件资源利用率报告显示, 改进前后系统在资源占用方面发生了显著变化如图 5 所示。其中, LUT 的使用量由改进前的 6024 降低至改进后的 4713, LUTRAM 的使用量由改进前的 5042 下降至改进后的 3762。

Resource	Utilization	Available	Utilization %	Resource	Utilization	Available	Utilization %
LUT	6024	331680	1.82	LUT	4713	331680	1.42
LUTRAM	5042	146880	3.43	LUTRAM	3762	146880	2.56
FF	7150	663360	1.08	FF	7229	663360	1.09
BRAM	5	1080	0.46	BRAM	5	1080	0.46
DSP	128	2760	4.64	DSP	128	2760	4.64
IO	114	624	18.27	IO	114	624	18.27
BUFG	3	624	0.48	BUFG	3	624	0.48

Figure 5. Resource consumption chart before and after improvement

图 5. 改进前后资源消耗图

根据 Vivado 工具生成的硬件功耗分析报告, 改进后的系统在功耗性能上呈现出具有工程意义的优化如图 6 所示。具体来看, 系统动态功耗(Dynamic)由原来的 58.607W 降低至 58.536 W, 同时静态功耗(Device Static)也从 2.624 W 下降至 2.618 W。

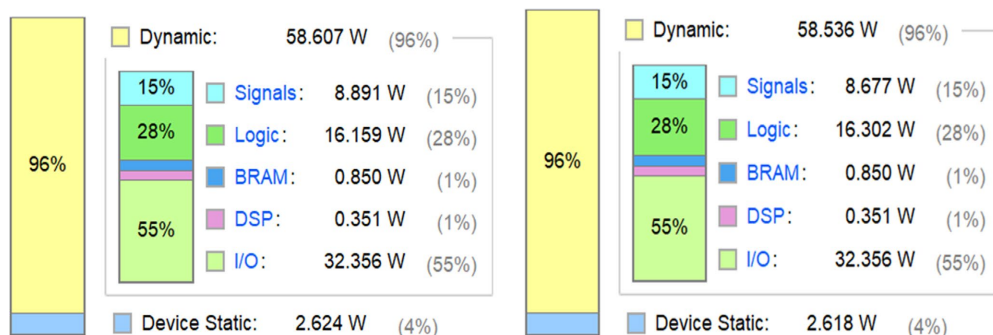


Figure 6. Power consumption comparison before and after improvement

图 6. 改进前后功耗消耗图

5. 总结

本文通过对复合维度直接序列扩频通信系统同步捕获结构进行研究, 针对其相关器资源消耗大的问题, 提出一种基于叠加相关双门限序列分选算法的同步捕获结构, 降低了复合维度通信系统同步捕获的计算复杂度与整体硬件资源消耗。在工程实践中, 为复合维度通信系统同步捕获方式提供了有用的参考价值。

参考文献

- [1] 石锐, 李勇, 牛英滔. 无线通信智能抗干扰研究进展和发展方向[J]. 电子信息对抗技术, 2024, 39(4): 98-108.
- [2] 曾伟. 无人机测控数据链发展综述[J]. 科技风, 2025(23): 1-3.
- [3] 张慧芝, 张天骐, 方蓉, 等. 基于 SVD-K-Means 算法的软扩频信号伪码序列盲估计[J]. 系统工程与电子技术, 2024, 46(1): 326-333.
- [4] 刘芳, 陈立志, 牟琳, 等. 星座旋转映射的二维信息传输方法[J]. 数据采集与处理, 2023, 38(6): 1331-1341.
- [5] 王惠琴, 张红彦, 王真, 等. 基于 KOA-TCN-LSTM 检测算法的 STBC-OFDM-IM 系统[J]. 华中科技大学学报(自然科学版), 2025, 53(9): 176-185.
- [6] 王颢, 窦高奇, 修梦雷, 等. 基于 M 元扩频的循环码移位键控短数据帧检测研究[J/OL]. 系统工程与电子技术: 1-11. <https://link.cnki.net/urlid/11.2422.tn.20250523.1048.049>, 2025-10-30.
- [7] Simon, M.K., Omura, J.K., Scholtz, R.A. and Levitt, B.K. (1994) Spread Spectrum Communications Handbook. McGraw-Hill.
- [8] Polydoros, A. and Weber, C. (1984) A Unified Approach to Serial Search Spread-Spectrum Code Acquisition—Part I:

-
- General Theory. *IEEE Transactions on Communications*, **32**, 542-549. <https://doi.org/10.1109/tcom.1984.1096109>
- [9] Misra, P. and Enge, P. (2011) Global Positioning System: Signals, Measurements, and Performance. Ganga-Jamuna Press.
- [10] 刘文重, 吕雨桦, 汤瑞新, 等. 基于截断伪码分段的扩频信号捕获算法设计[J/OL]. 电子测量技术: 1-9. <https://link.cnki.net/urlid/11.2175.tn.20250725.1530.004>, 2025-10-30.
- [11] 李文峰. 超低信噪比下 MIMO SC-FDE 系统中同步技术研究[学位论文]. 北京: 北京邮电大学, 2017.
- [12] 蔡鼎. 水声通信背景下的高效 MC-CDMA 技术研究[D]: [硕士学位论文]. 哈尔滨: 哈尔滨工程大学, 2021.
- [13] 郝梦华, 陈为刚, 杨晋生. 基于浅海多径时延的复合码水声测距研究[J]. 电子测量与仪器学报, 2020, 34(7): 119-127.