

DRAM 2T0C技术综述

孟家宇¹, 王晓芳^{2*}

¹上海理工大学理学院, 上海

²上海电机学院文理学院, 上海

收稿日期: 2025年2月18日; 录用日期: 2025年3月14日; 发布日期: 2025年3月24日

摘要

DRAM作为计算机存储系统的核心组件, 在HPC、云计算、AI等领域至关重要。然而, 传统1T1C DRAM受电容缩放瓶颈、刷新功耗及制造复杂度等问题限制, 难以满足先进制程需求。2T0C DRAM采用双晶体管架构, 利用浮体效应、栅极耦合等机制存储电荷, 实现高密度、低功耗及工艺兼容性提升。本研究分析2T0C DRAM的技术原理、结构设计及其相较于1T1C DRAM的优势, 探讨数据保持、读写干扰、工艺变异等挑战, 并综述器件优化、电路创新及先进制造工艺的应对策略。此外, 结合CIM、3D集成等趋势, 探讨其在HPC、嵌入式及新型存储中的应用价值。当前, 三星、美光等厂商已展开2T0C DRAM研发, 预计未来逐步进入量产。随着半导体工艺演进, 2T0C DRAM有望成为下一代高密度、低功耗存储技术。然而, 量子效应、工艺适配及产业链完善仍是关键挑战。未来研究将聚焦器件微缩、存算一体及异质集成, 推动2T0C DRAM发展与产业化进程。

关键词

2T0C DRAM, 双晶体管架构, 高密度, 低功耗, 工艺兼容性, 存算一体(CIM), 3D集成, 制造工艺优化

Review of DRAM 2T0C Technology

Jiayu Meng¹, Xiaofang Wang^{2*}

¹School of Science, University of Shanghai for Science and Technology, Shanghai

²School of Arts and Sciences, Shanghai Dianji University, Shanghai

Received: Feb. 18th, 2025; accepted: Mar. 14th, 2025; published: Mar. 24th, 2025

Abstract

As a core component of computer memory systems, DRAM plays a critical role in HPC, cloud computing, and AI. However, traditional 1T1C DRAM faces challenges such as capacitor scaling limitations,

*通讯作者。

文章引用: 孟家宇, 王晓芳. DRAM 2T0C 技术综述[J]. 物理化学进展, 2025, 14(2): 127-136.

DOI: 10.12677/japc.2025.142012

high refresh power consumption, and increasing fabrication complexity, restricting its scalability in advanced process nodes. To address these issues, 2T0C DRAM adopts a two-transistor architecture, utilizing floating-body effects and gate coupling mechanisms to store charge, thereby enhancing storage density, reducing power consumption, and improving process compatibility. This study analyzes the technical principles and structural design of 2T0C DRAM, highlighting its advantages over 1T1C DRAM while addressing challenges such as data retention, read/write disturbances, and process variations. Various optimization strategies, including device engineering, circuit design innovations, and advanced fabrication techniques, are also reviewed. Furthermore, considering emerging trends like CIM and 3D integration, we explore the potential applications of 2T0C DRAM in HPC, embedded systems, and next-generation memory technologies. Currently, leading memory manufacturers such as Samsung and Micron have initiated research on 2T0C DRAM, with commercialization expected in the near future. With the continuous advancement of semiconductor technology, 2T0C DRAM is poised to become a key candidate for next-generation high-density, low-power memory solutions. However, challenges such as quantum effects, process adaptation, and supply chain maturity remain critical. Future research will focus on device scaling, in-memory computing, and heterogeneous integration to accelerate the development and industrialization of 2T0C DRAM.

Keywords

2T0C DRAM, Dual-Transistor Architecture, High Density, Low Power Consumption, Process Compatibility, Compute-In-Memory (CIM), 3D Integration, Manufacturing Process Optimization

Copyright © 2025 by author(s) and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY 4.0).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

1. 引言

1.1. 研究背景

动态随机存取存储器(Dynamic Random Access Memory, DRAM)是现代计算机存储系统中的核心组件[1], 在计算设备、服务器和移动终端中均得到了广泛应用。然而, 传统的 1T1C (单晶体管 - 存储电容)架构正面临一系列技术瓶颈, 限制了其在先进制程下的可扩展性。

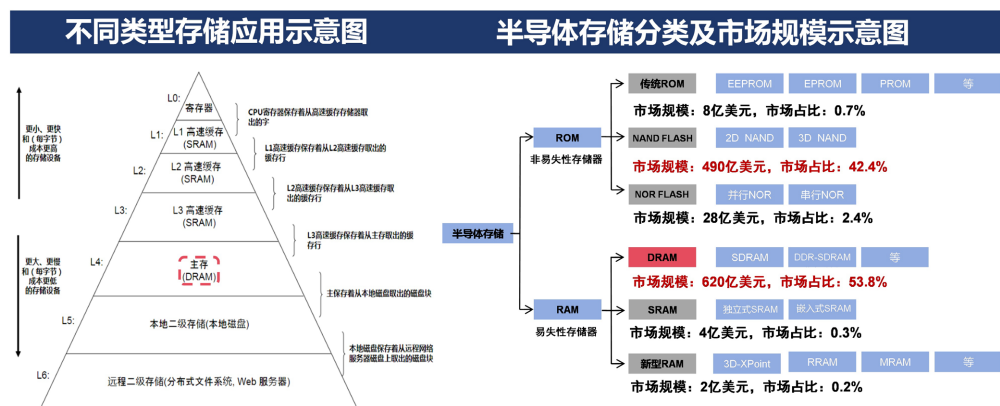


Figure 1. This figure illustrates the application scenarios of different types of memory (left) and the market segmentation and scale (right)

图 1. 本图展示了不同类型存储器的应用场景(左)及市场分类和规模(右)

a) 存储器应用层次

如图 1 存储器按照访问速度和应用层级分类, 包括高速缓存(L1/L2/L3 Cache)、主存(DRAM)及大容量存储(NAND Flash/HDD)。SRAM 作为缓存(L1~L3)用于提升访问效率, DRAM 作为主存(L4)存储运行数据, 而 NAND Flash 和 HDD 负责长期存储。

b) 存储市场分类及规模

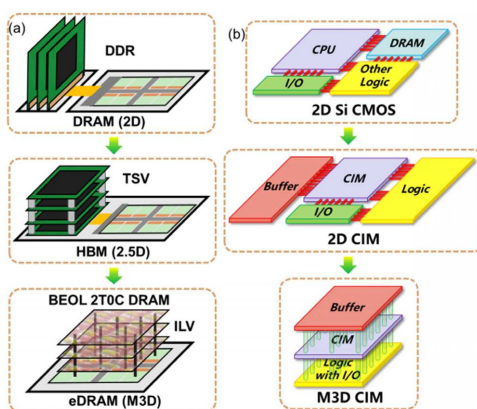
如图 1 右半部分, 按存储技术分类显示非易失性存储(NVM)与易失性存储(VM)市场规模。NVM 包括 ROM 和 Flash, 其中 NAND Flash 市场达 490 亿美元, 占 42.4%。VM 以 DRAM 为主, 规模 620 亿美元, 占 53.8%。此外, MROM、EEPROM、EPROM、SRAM 和 MRAM 分别占 0.7%、2.4%、0.3%、0.2%。

首先, 电容缩放瓶颈已成为制约 1T1C DRAM 持续演进的关键因素。随着工艺节点的不断微缩, 存储单元面积减少[1][2], 存储电容难以维持足够的电荷存储能力, 从而影响数据保持时间。此外, 电容制造工艺复杂, 进一步增加了生产成本和良率挑战。

其次, 刷新功耗问题严重影响 DRAM 的能效。传统 1T1C DRAM 需要周期性刷新以维持数据存储, 这不仅增加了能耗, 还对高密度存储应用(如数据中心、人工智能计算)造成较大负担。

随着计算需求的增长, 市场对高密度、低功耗、易于集成的存储技术提出了更高要求。2T0C (Two-Transistor Zero-Capacitor) DRAM 作为一种新型存储单元结构, 通过去除存储电容, 旨在克服传统 DRAM 的物理限制[3], 并提供更优的存储性能与功耗控制。

1.2. 2T0C 技术提出



从传统的冯诺依曼结构, 到CIM架构, 再到新的3D CIM架构

IEEE Transactions on Electron Devices, vol. 71, no. 5, pp. 3336-3342, May 2024

Figure 2. Schematic diagram of the evolution from the traditional von Neumann architecture to the 3D CIM architecture

图 2. 传统冯诺依曼结构向 3D CIM 架构的演进示意图

2T0C DRAM 基于双晶体管单元架构(Two-Transistor), 其核心设计理念是利用存储晶体管本身的物理特性(如浮体效应、栅极耦合)代替传统的存储电容, 实现电荷存储。该技术的主要目标包括: 消除存储电容, 提高存储单元集成度: 通过取消独立存储电容, 2T0C DRAM 能够有效降低单元面积占用, 提高存储密度。增强数据保持能力, 降低刷新需求: 利用浮体效应或其他先进存储机制延长数据保持时间, 减

少甚至消除周期性刷新操作, 从而降低系统功耗。提升工艺兼容性, 降低制造成本: 2T0C 架构能够兼容现有 CMOS 工艺[4], 无需额外的电容制造步骤, 使其在先进制程节点中具有更好的适配性, 降低生产复杂度和成本。

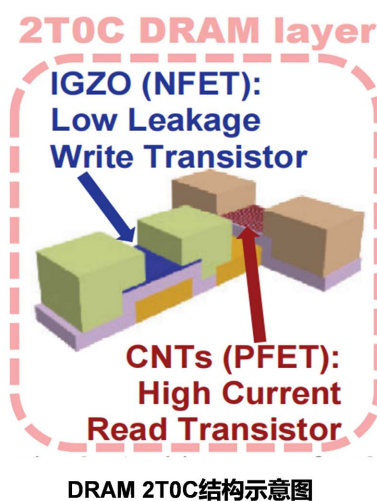
如图 2, 随着数据密集型计算需求的增长, 传统 2D DDR DRAM 由于计算单元与存储单元分离, 数据传输依赖片外存储器, 受限于 Memory Wall, 难以满足高吞吐率和低延迟计算的需求。为提升存储带宽, 高带宽存储(HBM)采用硅通孔(TSV)技术堆叠存储单元, 并通过 2.5D 封装与逻辑芯片集成, 从而显著提高数据吞吐量[5]-[7]。进一步发展, 3D eDRAM 利用 BEOL (Back-End-of-Line)技术实现存储单元与逻辑电路的垂直集成, 并通过垂直互连(ILV)进行数据传输, 进一步降低数据访问延迟, 提高存储效率。

然而, 存储架构的优化仍无法彻底消除冯诺依曼架构的计算瓶颈, 因此计算架构也在同步演进。传统的 2D Si CMOS 计算架构采用 CPU + DRAM 分离设计, 数据通过 I/O 总线交互, 受制于存储墙(Memory Wall)和数据搬移瓶颈[8]-[10]。计算存储一体(Compute-in-Memory, CIM)通过在存储单元内嵌计算功能, 使数据处理直接在存储器内部进行, 从而减少数据搬移的开销。

在此基础上, 单片 3D 计算存储一体(M3D CIM, Monolithic 3D CIM) [11]进一步将计算单元垂直堆叠于存储单元之上, 并利用高密度垂直互连提高吞吐率与计算效率, 推动计算与存储的深度融合。这一趋势表明, 传统冯诺依曼结构正向计算存储一体化(CIM)架构演进, 最终迈向 3D 计算存储一体化(3D CIM)。

在这一背景下, 2T0C DRAM 技术的提出正符合存算融合的发展趋势。作为一种新型 DRAM 结构, 2T0C 技术在提高存储密度、降低功耗及增强计算存储协同能力方面具有重要潜力。未来, 2T0C DRAM 可与 HBM、ReRAM、MRAM 等新型存储技术相结合, 为高效存储计算架构提供关键技术方案, 并推动下一代存储体系结构的发展。

2. 技术原理与结构设计



2023 International Electron Devices Meeting
(IEDM), San Francisco, CA, USA, 2023, pp. 1-4

Figure 3. Schematic diagram of the DRAM 2T0C device
图 3. DRAM 2T0C 器件示意图

如图 3, 随着计算存储一体化(Compute-in-Memory, CIM)架构的发展, 2T0C 技术逐渐受到关注。其核心优势在于无需传统 DRAM 结构中的存储电容, 而是通过特殊的晶体管设计实现数据存储与保持, 从而在提高存储密度的同时降低功耗[12]-[14]。

如图 3, 该结构主要由 IGZO (铟镓锌氧化物) N 型晶体管(NFET)和碳纳米管(CNT) P 型晶体管(PFET)组成, 其中 IGZO NFET 负责低泄漏的数据写入, 而 CNT PFET 则提供高电流读取能力。由于 IGZO 材料的高阻特性, 使得存储单元可以在较长时间内维持数据, 从而减少传统 DRAM 所需的频繁刷新操作, 大幅降低功耗。

在工作原理上, 2T0C DRAM 依靠 IGZO NFET 来控制数据存储, 其低泄漏特性保证了存储状态在较长时间内保持稳定。当数据被写入后, IGZO NFET 的阈值变化可以维持存储信息, 而无需依赖独立电容进行电荷存储[15]-[18]。此外, 在读取过程中, CNT PFET 通过高效的电流驱动能力实现快速数据读取, 并且由于 CNT 材料的高迁移率特性, 使得读取操作比传统硅基晶体管更加高效。此外, 该架构还能够通过三维集成(Monolithic 3D, M3D)技术进一步提高存储密度。通过将 IGZO NFET 和 CNT PFET 垂直集成在存储单元中, 可以在 CMOS 逻辑电路之上直接构建 DRAM 存储层, 从而提高存储与计算单元的紧密结合程度, 为高密度存储提供了新的解决方案[6] [13] [19] [20]。2T0C 存储单元由两个晶体管组成, 分别是存取晶体管(Access Transistor)和存储晶体管(Storage Transistor) [5]。存取晶体管负责控制数据的写入和读取, 而存储晶体管则利用浮体效应或栅极耦合等机制存储电荷信息, 以实现数据保持。写入过程通过存取晶体管进行, 外部写入信号控制电荷注入存储晶体管, 使其存储高或低电势状态。读取时, 存取晶体管被激活, 检测存储晶体管中的电势变化, 以确定存储数据的逻辑状态。部分 2T0C 架构依赖半导体材料的特性[6] (如浮体效应)来维持电荷存储, 从而延长数据保持时间, 减少甚至消除对周期性刷新的需求。不同研究团队和厂商提出多种 2T0C 架构, 包括 FinFET 方案, 利用 FinFET 的高效栅控特性增强数据保持能力; FBC (Floating-Body Cell)方案, 利用浮体效应存储电荷, 提高数据保持时间; 以及 CMOS 工艺兼容性方案, 探索如何在现有半导体制程中集成 2T0C 架构[7]-[10]。

此外, 2T0C 技术的具体实现仍然面临诸多挑战, 如数据保持时间的优化、读写操作的稳定性提升以及工艺兼容性的完善[6] [13]-[15] [21]。不同架构在提升存储密度、降低刷新功耗、提高可靠性等方面各具优势, 但同时也暴露出潜在的技术瓶颈。因此, 在深入分析 2T0C 结构的同时, 还需对其与传统 1T1C DRAM 方案进行对比, 以全面评估其技术优势和适用性[17] [18]。

3. 技术优势与性能对比

3.1. 优势分析

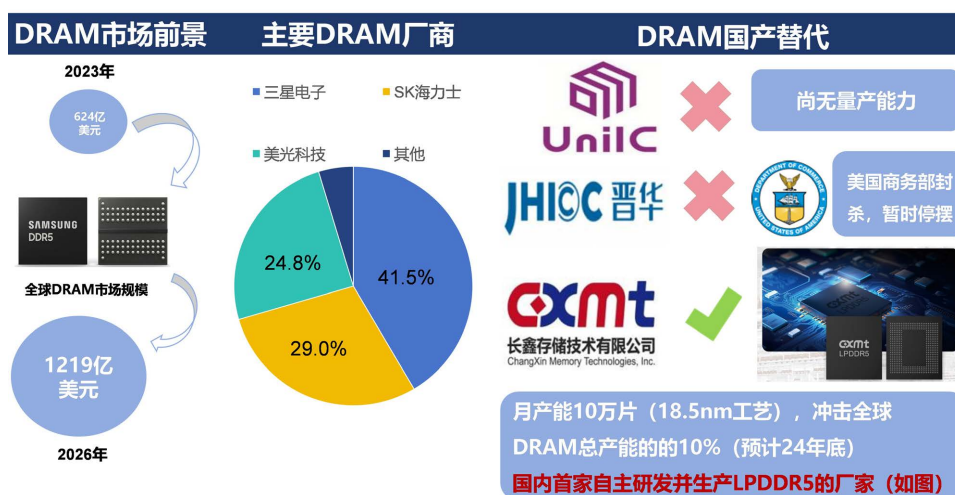


Figure 4. DRAM market landscape and progress of domestic substitution

图 4. DRAM 市场格局及国产替代进展

在与传统 1T1C DRAM 的对比中, 2T0C 方案在存储密度、刷新功耗和可靠性等方面表现优异, 但也面临着数据保持时间、读写干扰以及工艺变异等关键技术挑战。其中, 存储晶体管的漏电流影响数据保持时间, 需要优化器件结构以延长数据存储周期。此外, 在无电容存储架构下, 存储晶体管更易受到噪声干扰, 影响数据的准确性, 同时, 工艺节点的缩小可能带来制造误差, 影响器件的一致性。因此, 针对这些问题, 研究人员提出了多种优化方案, 包括器件结构优化、电路设计创新以及制造工艺突破。在器件结构方面, 探索 3D 堆叠架构和新型沟道材料(如 Ge、III-V 族半导体)可以有效提升存储晶体管的性能; 在电路设计层面, 引入自刷新电路和纠错编码(ECC)等方案有助于提高数据保持能力并降低误码率; 在制造工艺方面, 先进的 EUV (极紫外光刻)和 ALD (原子层沉积)等技术的应用可提高器件制造的良率和一致性。

a) DRAM 市场与主要厂商

如图 4, 2023 年全球 DRAM 市场规模 624 亿美元, 预计 2026 年增至 1219 亿美元。目前, 三星(41.5%)、SK 海力士(29.0%)、美光(24.8%)形成寡头垄断格局。

b) 国产替代进展

如图 4 中国 DRAM 产业主要厂商包括 CXMT、UniIC、JHICC。UniIC 无量产能力, JHICC 受美国封锁暂停出货, 而 CXMT 采用 18.5 nm 工艺, 月产 10 万片, 预计 2024 年底冲击全球 DRAM 产能 10%。此外, CXMT 率先国产化 LPDDR5, 推动 DRAM 国产替代进程。

在应用前景方面, 2T0C DRAM 具有广泛的适用性, 尤其在高密度计算和低功耗嵌入式应用场景中展现出较高的价值。在 AI 加速器、云计算和数据中心等对存储密度和能效要求较高的领域, 2T0C DRAM 方案能够提供更优的存储解决方案。此外, 在移动设备和物联网等低功耗场景下, 其减少刷新功耗的特性也能显著降低整体能耗, 提高设备续航能力。当前, 三星、美光等存储厂商已在 2T0C DRAM 领域展开研发, 部分技术方案已进入验证阶段, 预计未来几年内, 该技术将逐步实现商业化, 市场接受度将取决于其综合性能和成本优化程度。

3.2. 与传统 DRAM (1T1C)对比

Table 1. A comparative study of the 2T0C and conventional 1T1C structures in DRAM
表 1. DRAM 中 2T0C 结构与传统 1T1C 结构的对比研究

特性	1T1C DRAM	2T0C DRAM
存储密度	受电容尺寸限制	提升
刷新功耗	需要周期性刷新	可能无需刷新
制造复杂度	需要额外的存储电容	仅需双晶体管
可靠性	受电容漏电影响	提高数据保持能力

如表 1 所示, 在传统的 1T1C DRAM 架构中, 存储单元由一个晶体管(T)和一个电容(C)组成, 存储密度受限于电容尺寸, 且需要周期性刷新以维持数据稳定性。然而, 2T0C DRAM 架构通过采用双晶体管设计(2T)取代传统的存储电容, 从而在多个方面相较于传统 DRAM 展现出显著优势。

首先, 在存储密度方面, 由于 1T1C DRAM 的单元结构依赖于独立电容的存在, 因此电容尺寸成为存储密度提升的瓶颈。而 2T0C DRAM 省去了独立电容, 仅依靠两个晶体管构成存储单元, 使得存储密度得以提升。此外, 由于电容的体积较难进一步缩小, 而晶体管尺寸可以随制程工艺的进步而缩小, 因此 2T0C DRAM 在先进工艺节点下更具优势。

其次, 在刷新功耗方面, 传统 1T1C DRAM 需要周期性刷新数据, 以补偿电容泄露导致的数据丢失。

这种刷新操作不仅增加了功耗, 还可能带来访问延迟。而 2T0C DRAM 通过特殊的存储机制, 有望在某些条件下避免周期性刷新, 从而显著降低系统功耗, 提升能效比, 使其在低功耗存储应用中具有潜在优势。

最后, 在制造复杂度方面, 1T1C DRAM 需要额外的存储电容, 而 2T0C DRAM 仅需双晶体管存储单元, 使其在制造工艺上更接近传统逻辑 CMOS 工艺, 减少了存储电容制造带来的额外复杂性。这不仅有助于降低制造成本, 还可能提升与逻辑单元的集成度, 从而更适用于三维存储架构(M3D)。

综合而言, 2T0C DRAM 在存储密度、功耗优化和制造复杂度等方面相较于传统 1T1C DRAM 展现出潜在优势, 为新一代高密度、低功耗存储技术的发展提供了新的方向。

4. 技术挑战与解决方案

4.1. 关键挑战

尽管 2T0C DRAM 在存储密度、功耗和可靠性方面相较于传统 1T1C DRAM 具有显著优势, 但仍然面临一系列技术挑战, 主要包括数据保持时间、读写干扰和工艺变异等问题。

首先, 数据保持时间是 2T0C DRAM 技术需要解决的核心问题之一。由于传统 DRAM 依赖于电容来存储电荷, 而 2T0C DRAM 取消了电容, 其数据存储依赖于存储晶体管的稳定性。然而, 在长时间存储过程中, 器件的漏电流可能导致数据丢失, 影响数据保持能力。因此, 如何优化存储晶体管的结构, 减少漏电流, 提高数据保持时间成为研究的重点方向。

其次, 读写干扰是 2T0C DRAM 在大规模应用时可能面临的另一项挑战。由于其存储单元不再依赖于电容, 而是完全基于晶体管存储信息, 存储晶体管对于电信号的敏感性较高, 容易受到外界噪声干扰。特别是在高频读写操作下, 存储单元可能受到邻近单元的电场影响, 导致数据误读或误写。因此, 如何优化电路设计, 降低存储晶体管的噪声敏感性, 提高读写稳定性, 是亟待解决的问题。

此外, 工艺变异对 2T0C DRAM 的稳定性和大规模量产带来了一定挑战。随着半导体制程的不断推进, 不同工艺节点的制造精度和器件参数可能存在微小偏差, 而这些变异可能对 2T0C DRAM 的性能造成影响。例如, 存储晶体管的临界电压漂移可能影响数据保持能力, 工艺中的掺杂浓度不均匀可能影响器件的一致性。因此, 如何通过精确的制造工艺控制和先进的工艺补偿技术, 确保 2T0C DRAM 在不同工艺节点下的稳定性, 是实现商业化应用的重要前提。

4.2. 研究进展与改进方案

针对 2T0C DRAM 所面临的技术挑战, 研究人员在器件结构、电路设计以及制造工艺等方面展开了一系列研究, 并提出了相应的优化方案。

在器件结构优化方面, 研究人员探索了 3D 堆叠架构以及新型沟道材料以提高存储晶体管的性能。3D 堆叠结构能够在相同的芯片面积上增加存储单元的数量, 从而提高存储密度, 而采用新的沟道材料(如锗(Ge)和 III-V 族半导体材料)可以提高载流子的迁移率, 降低器件的漏电流, 提高数据保持能力。这些新型材料具有更好的电学性能, 使得存储晶体管在无电容的情况下仍然可以保持较长的数据存储时间。

在电路设计创新方面, 研究人员提出了自刷新电路和纠错编码(ECC)方案以提高数据稳定性。自刷新电路能够在存储单元即将失去数据时自动补充电荷, 从而延长数据保持时间, 而 ECC 方案能够在数据读取过程中检测并纠正因读写干扰或工艺偏差导致的错误, 提高存储可靠性。

在制造工艺突破方面, 先进的 EUV(极紫外光刻)和 ALD(原子层沉积)技术被引入以提高器件的良率和一致性。EUV 光刻技术能够在更小的工艺节点上实现高精度刻蚀, 提高存储单元的集成度, 而 ALD 工艺则可以精确控制材料的沉积厚度, 提高器件的均匀性, 从而减少工艺变异对 2T0C DRAM 可靠性的影响。这些先进的制造技术为 2T0C DRAM 的大规模应用奠定了基础。

5. 应用场景与未来前景

5.1. 潜在应用领域

2T0C DRAM 由于其高存储密度、低功耗和高可靠性的特性, 在多个领域具有广泛的应用前景。其中, 在高密度计算领域, 该技术可以应用于 AI 加速器、云计算、数据中心等高性能计算场景。这些应用需要处理海量数据, 要求存储器具备高吞吐量、高存储密度和低功耗, 而 2T0C DRAM 通过去除电容和降低刷新功耗, 使其在这些领域具有显著优势。此外, 在低功耗嵌入式应用方面, 2T0C DRAM 适用于移动设备和物联网(IoT)设备等对功耗敏感的应用场景。智能手机、可穿戴设备和嵌入式传感器等应用需要高效的存储器以支持长时间运行, 而 2T0C DRAM 的低功耗特性可以有效延长设备的续航能力, 使其成为这些领域的理想选择。

目前, 全球领先的存储厂商, 如三星(Samsung)和美光(Micron), 已投入大量资源研发 2T0C DRAM 技术, 并对其商业化可行性进行评估。随着相关技术的逐步成熟, 2T0C DRAM 预计将在未来几年进入量产阶段。市场分析预测, 该技术的商业化进程将受到制造成本、技术成熟度和市场需求等因素的影响。如果 2T0C DRAM 能够在性能和成本方面达到行业预期, 其市场接受度将逐步提高, 并可能成为下一代主流存储技术之一。

5.2. 未来研究方向

未来, 2T0C DRAM 技术的发展可能与其他新型存储技术深度融合, 形成高效、低功耗的混合存储架构。例如, 与 MRAM(磁阻式随机存取存储器)结合, 2T0C DRAM 可利用 MRAM 的非易失性特性, 实现更低功耗的缓存存储层, 提高数据保持能力。而与 ReRAM(阻变存储器)结合, 则可以构建高密度存储层, 使系统在存储容量、数据存取速度和能耗之间达到更优的平衡。这种融合架构可广泛应用于高性能计算(HPC)、数据中心及 AI 加速器等领域, 以优化存储系统整体性能。

此外, 2T0C DRAM 在存算一体(In-Memory Computing)领域具有广阔的应用前景。由于其较低的漏电流特性和高效的数据存取能力, 该技术可用于加速神经网络计算、边缘计算和物联网设备的数据处理。通过直接在存储单元内进行部分计算(如矩阵运算和逻辑操作), 2T0C DRAM 可显著降低数据传输延迟, 提高计算效率, 尤其适用于 AI 推理和大规模数据分析任务。

尽管 2T0C DRAM 具有良好的发展潜力, 但仍面临诸多挑战。随着半导体技术逐步进入亚 3 nm 时代, 存储器微缩将遭遇量子效应的限制, 如何优化器件结构、提高数据保持能力和稳定性, 将成为未来研究的重点。此外, 为了实现大规模商业化, 2T0C DRAM 需要适配现有的存储标准, 并推动生态系统建设, 与现有 DRAM、NAND Flash 及新型存储技术兼容, 以增强市场竞争力。

在市场前景方面, 2T0C DRAM 预计将在高性能计算、数据中心、边缘 AI 和智能终端等领域发挥重要作用。随着 AI 和大数据需求的增长, 该技术有望成为下一代高效存储方案的关键组成部分。然而, 其推广仍取决于制造成本、行业标准化进程以及与现有存储技术的兼容性。未来的研究方向可围绕存储单元结构优化、集成工艺改进及架构级创新展开, 以推动 2T0C DRAM 在产业中的广泛应用。

6. 结论

2T0C DRAM 技术凭借其存储密度高、功耗低和可靠性强的优势, 有望突破传统 DRAM 在电容缩放和能耗上的瓶颈。尽管当前仍存在数据保持、读写干扰及工艺适配等挑战, 但随着器件优化、电路创新和制造工艺的持续进步, 2T0C DRAM 技术的可行性和市场竞争力将逐步提升。未来, 该技术有望在高性能计算、移动设备、人工智能等领域发挥重要作用, 并推动存储器行业的进一步发展。

参考文献

- [1] Zhu, Z., Kang, B., Zhang, J., Duan, X., Xiang, J., Yang, G., *et al.* (2023) Cell Structure and Process Integration of a Novel 2T0C Technology for High-Density Dram Application. 2023 *China Semiconductor Technology International Conference (CSTIC)*, Shanghai, 26-27 June 2023, 1-4. <https://doi.org/10.1109/cstic58779.2023.10219256>
- [2] Hwan Kong, S. and Shim, W. (2024) Advanced 2T0C DRAM Technologies for Processing-in-Memory—Part I: Vertical Transistor on Gate (VTG) DRAM Cell Structure. *IEEE Transactions on Electron Devices*, **71**, 6633-6638. <https://doi.org/10.1109/ted.2024.3447612>
- [3] Yook, C. and Shim, W. (2024) Advanced 2T0C DRAM Technologies for Processing-in-Memory—Part II: Adaptive Layer-Wise Refresh Technique. *IEEE Transactions on Electron Devices*, **71**, 6639-6646. <https://doi.org/10.1109/ted.2024.3469183>
- [4] Kim, J., Kim, H., Kim, K., Shim, T., Hong, J. and Park, J. (2023) 3-Terminal IGZO FET Based 2T0C DRAM Combined Bit-Line Structure. *ECS Meeting Abstracts*, **2023**, Article 1561. <https://doi.org/10.1149/ma2023-02301561mtgabs>
- [5] He, S., Li, H., Xu, G., Tang, X., Li, Y., Kim, J., *et al.* (2023) Modeling the Thermal Characteristics of Stacked 2T0C Memory Array Based on InGaZnO₄ Thin-Film Transistors. *IEEE Transactions on Electron Devices*, **70**, 6369-6374. <https://doi.org/10.1109/ted.2023.3326798>
- [6] Gu, C., Hu, Q., Zhu, S., Li, Q., Zeng, M., Kang, J., *et al.* (2024) First Experimental Demonstration of 3D-Stacked 2T0C DRAM Cells Based on Indium Tin Oxide Channel. *IEEE Electron Device Letters*, **45**, 1764-1767. <https://doi.org/10.1109/led.2024.3443512>
- [7] Ryu, S., Kang, M., Cho, K. and Kim, S. (2024) Capacitorless Two-Transistor Dynamic Random-Access Memory Cells Comprising Amorphous Indium-Tin-Gallium-Zinc Oxide Thin-Film Transistors for the Multiply-Accumulate Operation. *Advanced Materials Technologies*, **9**, Article ID: 2302209. <https://doi.org/10.1002/admt.202302209>
- [8] Lu, W., Zhu, Z., Chen, K., Liu, M., Kang, B., Duan, X., *et al.* (2022) First Demonstration of Dual-Gate IGZO 2T0C DRAM with Novel Read Operation, One Bit Line in Single Cell, ION=1500 $\mu\text{A}/\mu\text{m}$ @VDS=1V and Retention Time>300s. 2022 *International Electron Devices Meeting (IEDM)*, San Francisco, 3-7 December 2022, 26.4.1-26.4.4. <https://doi.org/10.1109/iedm45625.2022.10019488>
- [9] Lee, F., Tseng, P., Lin, Y., Lin, Y., Weng, W., Lin, N., *et al.* (2024) Bit-Cost-Scalable 3D DRAM Architecture and Unit Cell First Demonstrated with Integrated Gate-Around and Channel-Around IGZO FETs. 2024 *IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)*, Honolulu, 16-20 June 2024, 1-2. <https://doi.org/10.1109/vlsitechnologyandcir46783.2024.10631386>
- [10] Chen, C., Xiang, J., Duan, X., Lu, C., Niu, J., Zhang, K., *et al.* (2023) First Demonstration of Stacked 2T0C-DRAM Bit-Cell Constructed by Two-Layers of Vertical Channel-All-Around IGZO FETs Realizing 4F² Area Cost. 2023 *International Electron Devices Meeting (IEDM)*, San Francisco, 9-13 December 2023, 1-4. <https://doi.org/10.1109/iedm45741.2023.10413790>
- [11] Su, Y., Shi, M., Tang, J., Li, Y., Du, Y., An, R., *et al.* (2024) Monolithic 3-D Integration of Counteractive Coupling IGZO/CNT Hybrid 2T0C DRAM and Analog RRAM-Based Computing-in-Memory. *IEEE Transactions on Electron Devices*, **71**, 3336-3342. <https://doi.org/10.1109/ted.2024.3372937>
- [12] Zheng, L., Wang, Z., Lin, Z. and Si, M. (2023) The Impact of Parasitic Capacitance on the Memory Characteristics of 2T0C DRAM and New Writing Strategy. *IEEE Electron Device Letters*, **44**, 1284-1287. <https://doi.org/10.1109/led.2023.3287942>
- [13] Zhu, X., He, Y., Wang, Z., Guo, H. and Zhu, H. (2024) 3D-Stacked 2T0C-DRAM Cells Using Al₂O₃/TiO₂-Based 2DEG FETs. *IEEE Electron Device Letters*, **45**, 1173-1176. <https://doi.org/10.1109/led.2024.3405956>
- [14] Liang, J., Yuan, P., Yu, Y., Xiang, J., Zhu, Z., Zhou, M., *et al.* (2024) A Design Methodology for Highly Reliable Operation for 2T0C Dynamic Random Access Memory Application Based on IGZO Channel-All-Around Ferroelectric Field-Effect Transistors. *Japanese Journal of Applied Physics*, **63**, 06SP05. <https://doi.org/10.35848/1347-4065/ad455b>
- [15] Xu, L., Chen, K., Li, Z., Guo, J., Wang, L., Zhao, Y., *et al.* (2023) Reliability-Aware Ultra-Scaled IDG-InGaZnO-FET Compact Model to Enable Cross-Layer Co-Design for Highly Efficient Analog Computing in 2T0C-DRAM. 2023 *International Electron Devices Meeting (IEDM)*, San Francisco, 9-13 December 2023, 1-4. <https://doi.org/10.1109/iedm45741.2023.10413757>
- [16] Shi, M., Su, Y., Tang, J., Li, Y., Du, Y., An, R., *et al.* (2023) Counteractive Coupling IGZO/CNT Hybrid 2T0C DRAM Accelerating RRAM-Based Computing-in-Memory via Monolithic 3D Integration for Edge AI. 2023 *International Electron Devices Meeting (IEDM)*, San Francisco, 9-13 December 2023, 1-4. <https://doi.org/10.1109/iedm45741.2023.10413876>
- [17] Belmonte, A., Kundu, S., Subhechha, S., Chasin, A., Rassoul, N., Dekkers, H., *et al.* (2023) Lowest Ioff < 3×10⁻²¹ A/ μm in Capacitorless DRAM Achieved by Reactive Ion Etch of IGZO-TFT. 2023 *IEEE Symposium on VLSI Technology and*

- Circuits (VLSI Technology and Circuits)*, Kyoto, 11-16 June 2023, 1-2.
<https://doi.org/10.23919/vlsitechnologyandcir57934.2023.10185398>
- [18] Jeong, S. and Hong, S. (2024) Predicting the Retention Property of Scaled Cylindrical IGZO 2T0C DRAM Cells. 2024 *IEEE Silicon Nanoelectronics Workshop (SNW)*, Honolulu, 15-16 June 2024, 123-124.
<https://doi.org/10.1109/snw63608.2024.10639195>
- [19] Chen, H., Wu, C., Mudge, T. and Chakrabarti, C. (2016) RATT-ECC. *ACM Transactions on Architecture and Code Optimization*, **13**, 1-24. <https://doi.org/10.1145/2957758>
- [20] Yan, S., Cong, Z., Lu, N., Yue, J. and Luo, Q. (2023) Recent Progress in InGaZnO FETs for High-Density 2T0C DRAM Applications. *Science China Information Sciences*, **66**, Article No. 200404. <https://doi.org/10.1007/s11432-023-3802-8>
- [21] Shi, M., Su, Y., Tang, J., Li, Y., Du, Y., An, R., *et al.* (2023) Counteractive Coupling IGZO/CNT Hybrid 2T0C DRAM Accelerating RRAM-Based Computing-in-Memory via Monolithic 3D Integration for Edge AI. 2023 *International Electron Devices Meeting (IEDM)*, San Francisco, 9-13 December 2023, 1-4.
<https://doi.org/10.1109/iedm45741.2023.10413876>