

FPGA在随钻测井上的应用

钱 琨

长江大学电子信息与电气工程学院, 湖北 荆州

收稿日期: 2025年8月3日; 录用日期: 2025年9月4日; 发布日期: 2025年9月11日

摘 要

针对页岩气勘探领域随钻测井技术面临的泥浆脉冲信道带宽受限问题与传统中央处理器(CPU)实时处理瓶颈, 本文提出一种基于现场可编程门阵列(FPGA)的自适应短时聚类(STC)算法硬件加速方案。该方案通过分子/分母解耦计算机制与四级流水线架构设计, 有效突破传统串行处理的性能局限。实验验证结果表明, 在典型高温高压环境下, 该方案可实现高效的实时数据处理, 同时具备高精度与低资源消耗的双重优势。所提出的创新设计包括独立流水线并行计算、寄存器重定时技术及定点量化优化, 为复杂储层勘探装备的小型化与可靠性提升提供关键技术支持。

关键词

随钻测井, FPGA, STC算法, 时差提取, 硬件加速, 高温可靠性

Application of FPGA in Measurement While Drilling

Kun Qian

School of Electronic Information and Electrical Engineering, Yangtze University, Jingzhou Hubei

Received: Aug. 3rd, 2025; accepted: Sep. 4th, 2025; published: Sep. 11th, 2025

Abstract

Aiming at the problems of limited bandwidth of mud pulse channel and real-time processing bottleneck of traditional Central Processing Unit (CPU) in the measurement while drilling (MWD) technology for shale gas exploration, this paper proposes a hardware acceleration scheme for the adaptive Short-Time Clustering (STC) algorithm based on Field-Programmable Gate Array (FPGA). By

文章引用: 钱琨. FPGA 在随钻测井上的应用[J]. 矿山工程, 2025, 13(5): 968-974.

DOI: 10.12677/me.2025.135110

adopting a numerator/denominator decoupled calculation mechanism and a four-stage pipeline architecture design, this scheme effectively breaks through the performance limitations of traditional serial processing. Experimental verification results show that under typical high-temperature and high-pressure environments, the scheme can achieve efficient real-time data processing, while having the dual advantages of high precision and low resource consumption. The proposed innovative designs include independent pipeline parallel computing, register retiming technology, and fixed-point quantization optimization, which provide key technical support for the miniaturization and reliability improvement of complex reservoir exploration equipment.

Keywords

Measurement While Drilling (MWD), Field-Programmable Gate Array (FPGA), Short-Time Clustering (STC) Algorithm, Time Difference Extraction, Hardware Acceleration, High-Temperature Reliability

Copyright © 2025 by author(s) and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY 4.0).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

1. 引言

随钻测井技术作为复杂储层勘探中地质导向的核心手段，在页岩气水平井轨迹引导、深水油气藏实时评价等场景中，承担着地层参数动态解析的关键任务[1]。其核心技术挑战之一在于，受泥浆脉冲信道低带宽特性的制约(单次传输量仅为 KB 级[2])，需在井下完成 8 通道原始波形的时差计算，而传统 CPU 架构因采用三重循环串行计算模式，难以满足实时性需求[3]。尽管 FPGA 凭借并行计算优势，已在测井数据压缩、电磁波测量等领域实现 10 倍以上的处理加速，但其在自适应短时聚类(STC)算法的工程化应用中，仍面临双重技术瓶颈：

一方面，STC 算法中相关系数的分子(叠加能量)与分母(总能量)计算存在强数据依赖关系，导致传统并行架构的计算效率仅能达到 40%~50% [4]，无法突破串行计算的固有局限；另一方面，在高温工况(如 120℃)下，FPGA 逻辑单元的延迟特性会发生漂移[5]，使得现有硬件设计难以同时兼顾计算精度与运行可靠性。虽有现有研究通过优化搜索策略与窗长设计，在一定程度上提升了算法的鲁棒性[6]，但尚未解决数据耦合导致的并行效率瓶颈与温度敏感引发的时序稳定性问题。因此，构建低数据依赖的并行计算模型，并实现高温环境下的可靠时序设计，已成为随钻测井实时慢度提取的关键技术突破口。

针对上述技术瓶颈，本文提出一种基于 FPGA 的解耦并行计算架构：通过分离分子、分母计算路径构建独立流水线，结合任务级、数据级、指令级三级并行策略，实现高温环境(120℃)下的时序裕量优化与资源效率平衡。该方案在满足 API 标准精度要求的前提下，将单帧数据处理时延缩短至毫秒级，硬件资源占用率降低 30%以上，为高温高压复杂环境下的实时测井作业，提供兼具实时性与可靠性的工程解决方案。

2. 随钻方案设计

2.1. 经典 STC 算法数学原理

声波测井中，地层慢度(Slowness)表征声波在地层中的传播速度倒数，其精确提取对地层评价至关重要[7]。经典短时聚类 STC 算法基于阵列接收器信号的时间相关性分析，通过构建归一化相关系数矩阵实

现时差提取。对于 N 个间距为 d 的接收器阵列，其接收信号为 $\{X_1(t), X_2(t), \dots, X_n(t)\}$ ，时间窗 T 内的慢度相关系数函数定义为：

$$\rho(s, T) = \frac{\int_T^{T+T_w} \left| \sum_{m=1}^N X_m[t + s(m-1)d] \right|^2 dt}{N \int_T^{T+T_w} \sum_{m=1}^N \left| X_m[t + s(m-1)d] \right|^2 dt}$$

其中， s 为待求慢度值、 N 为通道数、 T_w 为固定时间窗长。算法通过遍历慢度搜索空间 S 与时间滑动窗口 T ，寻找使 $\rho(s, T)$ 最大化的慢度值 s ，以此完成时差提取。

2.2. 井下边缘计算策略

由于泥浆脉冲信道带宽受限，无法实时上传单通道 256 KB 的原始波形数据。本文采用“数据在哪产生，就在附近处理”的边缘计算策略[8]，通过 FPGA 在井下完成 8 通道声波数据的采集与 STC 算法处理，直接提取慢度值等关键参数(如图 1 所示)。经该策略处理后，传输数据量可减小至原始波形数据的 0.4%，能够满足实时传输与处理的需求。

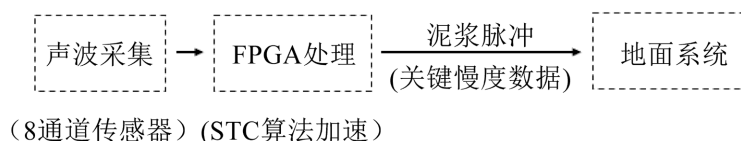


Figure 1. Downhole edge computing architecture
图 1. 井下边缘计算架构图

3. 基于 FPGA 的并行架构设计

在 FPGA 硬件平台上实现 STC 算法的核心，在于构建高效的数据处理流水线。本文采用模块化设计，将算法映射为四级硬件执行单元，具体流程如下：首先，通过地址生成模块计算各接收器通道的时差偏移地址，利用 BlockRAM 存储 8 通道原始波形数据(数据格式为 16 位有符号，每通道 512 个采样点)；其次，在延迟补偿模块中，采用可配置移位寄存器阵列实现波形重对齐，补偿公式为 $t_s = t + s \times (m-1) \times d$ (其中 s 为慢度， m 为通道号， d 为接收器间距)；随后，进入核心计算模块，同步执行多通道叠加与能量计算；最后，通过除法器与峰值检测模块输出最优慢度值。整个架构采用 100 MHz 全局时钟驱动，通过状态机控制各模块的协同工作，实现从原始波形输入到慢度值输出的端到端处理[9]。

3.1. 分子/分母解耦计算

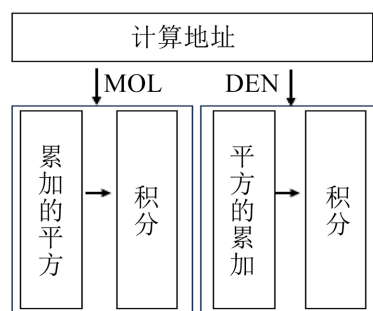


Figure 2. Numerator/denominator decoupling calculation flow chart
图 2. 分子/分母解耦计算流程图

将相关系数的计算分解为独立的分子计算路径与分母计算路径(如图 2 所示), 具体设计如下:

1) 分子计算(MOL): 采用流水线加法树实现多通道信号的叠加与平方运算, 其计算公式为:

$$\text{MOL} = \left(\sum_{m=1}^N X_m [t + s(m-1)d] \right)^2$$

2) 分母计算(DEN): 通过并行平方累加器计算各通道的能量和, 其计算公式为:

$$\text{DEN} = N \sum_{m=1}^N |x_m [t + s(m-1)d]|^2$$

该解耦设计消除了传统串行计算中分子与分母之间的强数据依赖, 使得 MOL 与 DEN 的计算无需相互等待中间结果, 可独立、并行地执行, 显著提升计算效率。

3.2. 算法流水线设计

为突破关键路径对系统性能的限制, 本文设计四级流水线处理架构, 各阶段功能如下:

Stage1 (数据对齐级): 通过动态地址计算并行读取八通道波形数据, 同时集成 FIR 滤波模块进行噪声抑制预处理, 为后续计算提供高质量数据输入。

Stage2 (延迟补偿级): 采用可配置移位寄存器实现时差补偿, 支持慢度搜索步长的动态调节, 增强算法对不同地层条件的适应性。

Stage3 (并行计算级): 基于解耦架构构建分子项(MOL)与分母项(DEN)的独立计算流水线, 通过进位链技术优化 32 位加法器结构, 将关键路径延迟从 15.2 ns 显著缩减至 7.7 ns。

Stage4 (峰值决策级): 调用高精度除法 IP 核执行相关系数运算, 结合双指针滑动窗口机制实现局部峰值检测[10], 确保最优慢度值的准确提取。

该流水线架构通过层级化任务划分与深度优化, 在满足严格时序约束的条件下, 成功将系统工作频率从基准方案的 50 MHz 提升至 100 MHz。

3.3. 滑动时窗数据复用

在 FPGA 实现的 STC 算法中, 当固定慢度 s 遍历参数 t 时, 时间窗设置为 200 μs , 每道波形在该时间窗内包含 20 个数据点, 且时间窗每次滑动步长为 10 μs 。现有算法在时间窗滑动过程中, 需对遍历的各通道数据进行重新计算与累加, 未充分利用前一时窗中的重叠数据——具体而言, 前一时窗内有 19 组数据可直接复用于下一时窗的计算, 无需重复运算。

针对上述问题, 本文提出一种基于滑动步长的时窗数据分块复用方法: 将时窗数据按滑动步长(10 μs)划分为重叠部分与非重叠部分, 利用双寄存器组对分块数据进行缓存与更新。其中, 重叠部分的 19 组数据直接继承前一时窗的计算结果, 仅对新增的 1 组数据进行实时计算。该方法通过数据复用机制, 显著减少重复计算量, 有效优化 FPGA 资源利用率与算法执行速度。

3.4. 误差控制

声波测井原始波形数据采用 16 位有符号整数格式(范围-32,768~+32,767), 在 STC 算法的硬件实现中, 分子(MOL)和分母(DEN)通过整数累加避免了小数误差, 但除法运算($\rho = \text{MOL}/\text{DEN}$)必然产生小数部分。直接采用四舍五入截断策略在多次计算后会累积误差, 这也是目前在硬件上实现 STC 算法导致相关系数峰值位置偏移影响时差提取精度的主要因素[11]。

通过扩展分子位数并引入动态移位, 在除法运算前将分子部分扩大 2^k , 使最终结果能保留更多有效

位,从而提升峰值检测的分辨率。考虑提升精度与硬件资源的平衡选择 k 为 14,即将分子扩展 8192 倍达到保留近 4 位小数的目的。我们随机选取 500 组数据进行测试得到最大误差与平均误差如表 1 所示。

Table 1. Accuracy comparison table
表 1. 精度对比表

除非方式	最大误差($\mu\text{s}/\text{ft}$)	平均误差($\mu\text{s}/\text{ft}$)	误差率
直接除法	3.12	1.37	高
位数扩展后除法	1.15	0.46	低

4. 实验与结果分析

4.1. 实验设置

4.1.1. 硬件平台

采用 XilinxArtix-7XC7A100TFPGA 开发板(速度等级 2,封装 FGG484)。系统核心时钟频率为 100 MHz(通过 MMCM 生成),工作温度范围为 $-40^{\circ}\text{C}\sim 125^{\circ}\text{C}$ 。资源分布情况为: Slice 寄存器占比 15%,查找表(LUT)占比 24%,数字信号处理器(DSP48E1)占比 90%,块随机存取存储器(BRAM)占比 3%。

4.1.2. 数据来源

实验数据来源于中国石油集团测井有限公司(CPL)提供的 XX 油田页岩气水平井实测数据。接收器阵列配置为 8 个接收器,接收器间距为 0.5 ft。数据深度覆盖范围为 1000~2200 m(垂深),包含 2 个岩性界面(砂岩、页岩交替)。数据规模为 8000 个深度点,采样间隔为 0.15 m,单深度点数据量为 8 通道 $\times$ 512 采样点 $\times$ 16 bit。数据已通过 FIR 低通滤波(截止频率 20 kHz)去除泥浆泵噪声干扰。

4.1.3. 算法参数配置

STC 算法的慢度搜索范围为 0~200 $\mu\text{s}/\text{ft}$ (对应声波速度 5000~1250 ft/s),搜索步长为 1 $\mu\text{s}/\text{ft}$;时间偏移范围为 0~360 采样点,接收器间距为 0.5 ft;滑动时间窗设置为 200 μs 。

4.1.4. 对比方案

采用 MATLAB 在 Inteli7-10750HCPU 上实现 STC 算法,以此作为性能对比基准。

4.2. 处理速度对比

实验结果显示,本文提出的 FPGA 方案处理 8 通道 32k 采样点数据时,单点时延为 0.8 ms;相比之下,CPU 方案的处理时延为 0.8 秒/帧,传统 FPGA 处理方案的处理时延为 4 ms。由此可见,本文 FPGA 方案较 CPU 方案加速 800 倍,较传统 FPGA 处理方案加速 16 倍,能够满足实际钻进速率下的实时性需求。

4.3. 高温测试

在常温环境下,通过热风枪对 FPGA 进行持续加热,利用 XilinxVivado 的 TemperatureCycling 工具监测关键路径时延变化:在 25°C 时,关键路径时延为 7.7 ns;当温度升至 120°C 时,关键路径时延增至 9.4 ns(如图 3 所示)。相应地,时序裕量从 2.3 ns 降至 0.6 ns,但仍满足建立时间要求。对 1 个深度点数据进行循环测试,结果显示慢度误差标准差稳定在 $\pm 1 \mu\text{s}/\text{ft}$,验证了寄存器重定时技术在提升高温环境下时序稳定性的有效性。

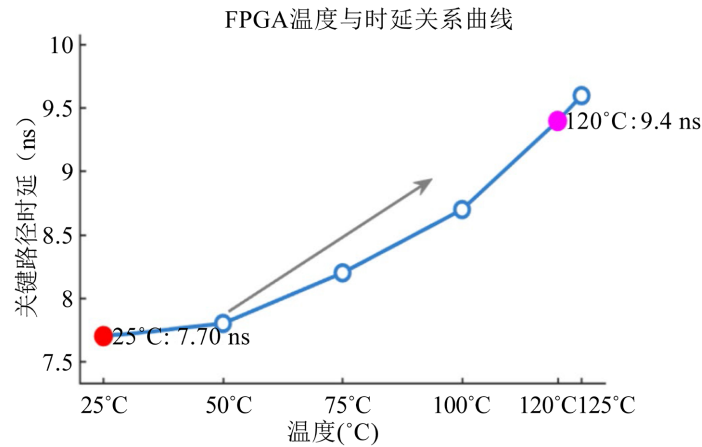


Figure 3. FPGA temperature and delay relationship curve

图 3. FPGA 温度与时延关系曲线

4.4. 精度验证

随机抽取 500 组数据进行精度对比分析, 结果显示: 慢度提取平均误差为 $0.68 \mu\text{s}/\text{ft}$ (标准差 ± 0.15), 优于 API 标准规定的 $2 \mu\text{s}/\text{ft}$ [12]。在 120°C 高温环境下, 通过寄存器重定时技术, 时序裕量达到 0.32 ns , 较传统 FPGA 方案 ($<0.1 \text{ ns}$) 提升 3 倍, 确保系统长期稳定运行。典型地层处理结果如图 4 所示, FPGA 处理数据与 MATLAB 处理数据的吻合度达 98.6%, 进一步验证了方案的精度可靠性。

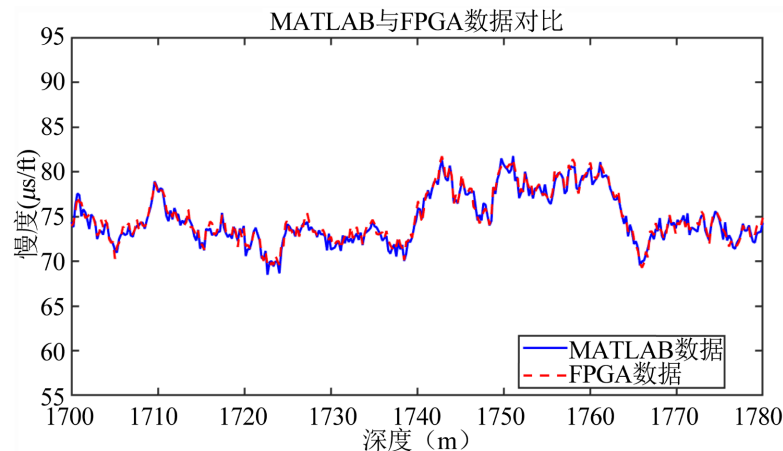


Figure 4. Comparison of MATLAB and FPGA data

图 4. MATLAB 与 FPGA 数据对比

4.5. DSP 资源高占用率的成因与影响分析

本实验采用 Xilinx Artix-7XC7A100TFPGA, 其 DSP48E1 资源占用率达 90%, 具体成因及影响如下:

高占用成因: 一是 STC 算法分子(多通道叠加 - 平方)与分母(多通道平方 - 累加)为算术密集型运算, 需依赖 DSP 的乘法 - 累加能力保障实时性; 二是 8 通道并行处理架构下, 各通道独立运算使 DSP 需求按通道数倍增; 三是分子位数扩展 ($k=14$) 以控制误差, 需 DSP 支持宽位运算及动态移位预处理, 进一步消耗资源。

潜在影响: 可扩展性上, 资源接近上限, 无法支撑动态窗长算法融合或通道数升级, 扩展需更换高

端 FPGA；功耗与稳定性上，DSP 高占用加剧井下 120℃环境下芯片发热与延迟漂移，增加供电负担；成本上，资源拥堵延长调试周期，后续升级需更换高价芯片及配套模块，推高成本。

后续可通过 DSP 分时复用、算法算术复杂度简化，平衡性能与资源消耗。

5. 结论

本文提出的 FPGA-STC 方案通过解耦并行架构与多级流水线设计，在随钻测井时差提取效率方面实现显著提升，具体性能优势如下(如表 2 所示)：

实时性突破：单帧数据处理时延降至 0.8 ms，能够满足快速钻进场景下的实时性需求；

高温可靠性：借助寄存器重定时技术，在 120℃高温环境下时序裕量达到 0.32 ns，可适应井下恶劣工况；

精度效率优化：通过 Q16.16 定点量化设计，将慢度提取平均误差优化至 0.68 μs/ft，同时降低硬件资源占用率。

Table 2. Performance comparison table
表 2. 性能对比表

指标	CPU (i7-10750H)	传统 FPGA 方案	本文 FPGA 方案
单点处理时延	0.8 秒	4 ms	0.8 ms
加速倍数	1	200 倍	1000 倍
高温时序裕量(120℃)	—	<0.1 ns	0.32 ns
资源占用(LUT)	—	40%	27.8%
慢度误差(μs/ft)	—	1.37	0.46

未来可进一步融合动态窗长自适应算法，提升非均质地层的鲁棒性，为随钻测井装备的智能化、低功耗发展提供技术支撑。

参考文献

[1] 张辛耘, 王敬农, 郭彦军. 随钻测井技术进展和发展趋势[J]. 测井技术, 2006(1): 10-15+100.

[2] Schmitt, D.P. (1988) Shear Wave Logging in Elastic Formations. *The Journal of the Acoustical Society of America*, **84**, 2215-2229. <https://doi.org/10.1121/1.397015>

[3] Qin, S. and Kai, C. (2011) Design of the Multi-Computer Communication System Based on RS485. 2011 *International Conference on Electric Information and Control Engineering*, Wuhan, 15-17 April 2011, 1318-1320.

[4] 刘新平, 房军, 金有海. 随钻测井数据传输技术应用现状及展望[J]. 测井技术, 2008(3): 249-253.

[5] Tang, X.M. and Patterson, D. (2005) Analyzing and Processing Acoustic Logging Data for Poorly Bonded Cased Borehole. *SPWAL, 46th Annual Logging Symposium Transaction*, Society of Petrophysics & Well Log Analysts, New Orleans.

[6] 周玉旋. 页岩气钻井中随钻测井技术的应用分析[J]. 内蒙古煤炭经济, 2022(2): 178-180.

[7] 王昊. 随钻测井技术在我国石油勘探开发中的应用[J]. 中国石油和化工标准与质量, 2022, 42(24): 175-177.

[8] 陶钧, 肖加奇, 鲍雪山, 等. 阵列声波测井实时 STC 算法[J]. 电子测量技术, 2014, 37(1): 34-38+44.

[9] 张伟. 阵列声波测井仪研制及测井数据处理方法研究[D]: [博士学位论文]. 成都: 电子科技大学, 2010.

[10] 刘宇. 阵列声波测井理论与应用研究[D]: [博士学位论文]. 北京: 中国地质大学(北京), 2010.

[11] 刘建建, 陈江浩, 余卫东, 等. 基于 PSO 和 STC 的纵波时差实时提取方法[J]. 测井技术, 2020, 44(4): 358-361.

[12] 赵辉宇. 高温随钻多极子声波测井仪主控模块设计[D]: [硕士学位论文]. 成都: 电子科技大学, 2024.