

# 冷烧结钛酸铋钠基陶瓷的热处理工艺研究

朱超琼\*, 李澳宇, 蔡子明

中国矿业大学材料与物理学院, 江苏 徐州

收稿日期: 2024年11月22日; 录用日期: 2024年12月16日; 发布日期: 2024年12月24日

## 摘要

冷烧结技术(CSP)因其极低的烧结温度与较短的烧结时间, 成为近年来备受关注的陶瓷制备方法。但其仍存在致密度不足、可靠性等问题。本文利用化学包覆的方法将耐击穿的SiO<sub>2</sub>相引入陶瓷颗粒表面, 优化钛酸铋钠基陶瓷的冷烧结性能, 并系统研究了不同热处理温度对冷烧结后0.78BNT-0.22NN@SiO<sub>2</sub>陶瓷的物相结构、显微形貌及铁电性能的影响。最终, 成功制备了相对密度接近99%的冷烧结陶瓷。结果表明, 热处理温度为1050 °C的冷烧结0.78BNT-0.22NN@SiO<sub>2</sub>陶瓷的室温介电常数为1340, 介电损耗为1.4%, 具有优异的介温稳定性; 并且, 其室温最大放电储能密度为3.56 J/cm<sup>3</sup>; 样品在1 Hz至100 Hz频率范围内, 储能密度变化率仅为3%, 表现出了优异的储能性能。

## 关键词

冷烧结, 热处理, 钛酸铋钠, 高效节能, 介电性能

# Study on Heat Treatment of Cold-Sintering Bismuth Sodium Titanate-Based Ceramics

Chaoqiong Zhu\*, Aoyu Li, Ziming Cai

School of Materials Science and Physics, China University of Mining and Technology, Xuzhou Jiangsu

Received: Nov. 22<sup>nd</sup>, 2024; accepted: Dec. 16<sup>th</sup>, 2024; published: Dec. 24<sup>th</sup>, 2024

## Abstract

Cold sintering process (CSP) has attracted considerable attention in recent years as an efficient and energy-saving method for ceramic preparation due to its extremely low sintering temperature and short sintering time. However, it still faces issues such as insufficient density and reliability. This paper employs a chemical coating method to introduce a breakdown-resistant SiO<sub>2</sub> phase onto the surface of ceramic powders, optimizing the cold sintering performance of Bi<sub>0.5</sub>Na<sub>0.5</sub>TiO<sub>3</sub>(BNT)-based

\*通讯作者。

ceramics. The effects of different heat treatment temperatures on the phase structure, microstructure, and ferroelectric properties of cold-sintered 0.78BNT-0.22NN@SiO<sub>2</sub> ceramics have been systematically investigated. As a result, ceramics with a relative density close to 99% were successfully prepared via the CSP with an optimized heat treatment temperature. The results indicate that the cold-sintered 0.78BNT-0.22NN@SiO<sub>2</sub> ceramic heat-treated at 1050°C has a room temperature dielectric constant of 1340 and a dielectric loss of 1.4%, exhibiting excellent temperature stability of the dielectric properties. Moreover, its maximum discharge energy storage density at room temperature is 3.56 J/cm<sup>3</sup>, and the energy storage density variation rate is only 3% within the frequency range of 1 Hz to 100 Hz, demonstrating outstanding energy storage performance.

## Keywords

Cold Sintering, Heat Treatment, Bismuth Sodium Titanate, Efficient and Energy Saving, Dielectric Property

Copyright © 2024 by author(s) and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY 4.0).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

## 1. 引言

烧结是陶瓷成型过程的关键阶段。然而，由于大多数陶瓷材料具有较高的熔点温度，传统烧结通常是在相对较高的温度范围内进行的，大约为熔点的 50% 至 75%。过高的烧结温度会导致挥发性元素(例如 Bi, Pb, Na, K)挥发，进而影响产品电化学性能。2016 年，宾夕法尼亚州立大学的 C. A. Randall 教授课题组[1]-[3]开发了一种创新的低温烧结技术，称之为“Cold Sintering”(CSP, 冷烧结)，冷烧结在低温下利用可溶性组分的“溶解 - 沉淀”过程来实现陶瓷材料的致密化，进而可以有效避免上述的元素挥发等问题。

陶瓷电介质因其充放电速率更快、功率密度更高、工作电压范围更大、热稳定性更好，有望实现高效能的能量储存和释放，是一类具有储能应用前景的材料[4]-[6]。其中，Bi<sub>0.5</sub>Na<sub>0.5</sub>TiO<sub>3</sub>(BNT)因其饱和极化强度高、居里温度高、宽温度范围内相变弛豫等特点，近年来，已然成为人们研究的焦点之一[7] [8]。然而 BNT 也具有剩余极化强度高、击穿场强低、介电常数温度稳定性差等缺点，限制了其进一步的应用。对此，研究者们也通过微结构设计、多元体系构建、多相调控、烧结优化等[9]-[11]手段来尝试优化 BNT 基陶瓷的介电、储能性能。

Zhu 等人[12]将 NaNbO<sub>3</sub>(NN)引入 0.95Bi<sub>0.5</sub>Na<sub>0.5</sub>TiO<sub>3</sub>-0.05SrZrO<sub>3</sub>(BNTSZ)之中，成功构建出菱方相与四方相共存的体系。在  $x = 0.2$  (0.8BNTSZ-0.2NN)的掺杂浓度下，在-55°C 至 545°C 的超高温范围其介电常数变化率小于±15%，并且室温在室温下介电常数达到 1170。在  $x = 0.15$  (0.85BNTSZ-0.15NN)时，陶瓷的最大放电密度达到 3.14 J/cm<sup>3</sup>。Cai 等人[13]尝试利用冷烧结来制备 BNT-NN 陶瓷样品，最终 0.7BNT-0.3NN 陶瓷样品表现出了优异的介电性能，在 25°C 至 400°C 超宽温度范围内介电常数的变化率小于±6%，同时在整个温度范围内介电损耗均小于 5%，但是其储能性能仍不理想，这主要是因为冷烧结制备的陶瓷样品致密度仍不理想，其冷烧结制备工艺仍有待提升。

本文利用化学包覆[14] [15]的方法将耐击穿的 SiO<sub>2</sub> 相引入陶瓷颗粒表面，借助前驱溶液(NaOH 溶液)对 SiO<sub>2</sub> 的辅助致密化特性，在陶瓷颗粒表面成功构筑了 SiO<sub>2</sub> 核壳结构，并采用冷烧结的方法，借助 SiO<sub>2</sub> 层促使了  $\alpha$ -石英晶核的形成，以构建易致密表面层的方式来促进致密化过程，最终实现 BNT-NN 陶瓷冷烧结性能的优化。系统研究了不同热处理温度对冷烧结后 0.78BNT-0.22NN@SiO<sub>2</sub> 陶瓷的物相结构、显微

形貌及铁电性能的影响。

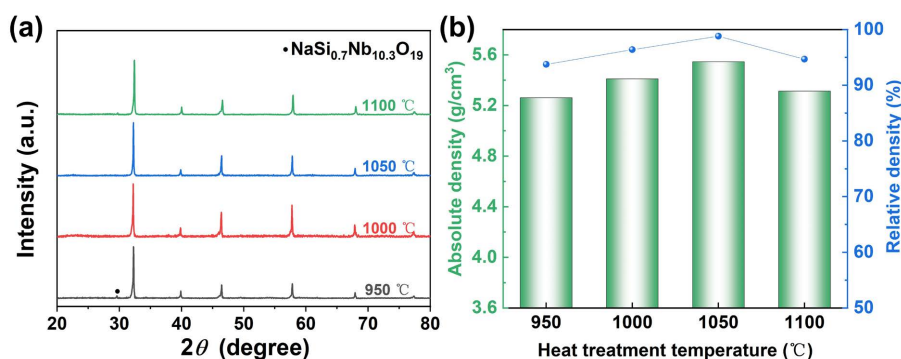
## 2. 实验方法

本研究中使用的原料为  $\text{Na}_2\text{CO}_3$  (99.8%, 国药集团)、 $\text{Nb}_2\text{O}_5$  (99.5%, 国药集团)、 $\text{Bi}_2\text{O}_3$  (99%, 国药集团) 和  $\text{TiO}_2$  (98%, 国药集团)。采用固相反应法制备  $0.78\text{Na}_{0.5}\text{Bi}_{0.5}\text{TiO}_3\text{-}0.22\text{NaNbO}_3$  粉体。将  $0.78\text{Na}_{0.5}\text{Bi}_{0.5}\text{TiO}_3\text{-}0.22\text{NaNbO}_3$  粉体在无水乙醇中球磨分散 4 h, 根据包覆量加入配制好的正硅酸乙酯溶液, 利用化学包覆法[16]促使 Si 元素沉降在粉体颗粒表面。陈化后的浆料在  $80^\circ\text{C}$  下烘干。烘干后的粉体置于坩埚中,  $500^\circ\text{C}$  下热处理 2 h。在研钵中加入  $0.78\text{BNT}\text{-}0.22\text{NN@SiO}_2$  粉体和 10 wt%  $[\text{Bi}(\text{NO}_3)_3/\text{NaOH}/\text{TiO}_2]$  冷烧前驱溶液, 充分混合均匀。将所得混合物放入加热模具(直径 10 mm)中, 在 500 MPa 压力下保压 5 min, 随后以  $20^\circ\text{C}/\text{min}$  速率升温至  $180^\circ\text{C}$ , 保温保压 45 min。为了去除样品中残余的水分, 将冷烧样品放入烘箱中  $120^\circ\text{C}$  干燥 12 h。随后在  $950^\circ\text{C}\sim 1100^\circ\text{C}$  温度范围内对样品进行热处理 3 h。通过丝网印刷将银浆涂覆在 0.20 毫米厚的陶瓷薄片上, 并在  $500^\circ\text{C}$  下烧制 30 分钟以形成电极。

使用具有  $\text{Cu K}\alpha$  辐射的 X 射线衍射仪(Bruker, D8 ADVANCE, 德国)和场发射扫描电子显微镜(Hitachi, SU8220, 日本)研究样品的晶体结构和表面微观形貌。通过扫描电子探针仪(岛津, 8050G, 日本)对试样微区的化学成分进行定性和定量分析。电滞回线通过铁电测试系统(aixACCT, TF ANALYZER 3000, 德国)在 10Hz 下测量。介电性能通过精密阻抗分析仪(WK6500B, waynekerr, 英国)在 1kHz 下测量。

## 3. 结果与讨论

图 1(a)给出了不同热处理温度下冷烧结  $0.78\text{BNT}\text{-}0.22\text{NN@SiO}_2$  陶瓷的 XRD 图谱。所有样品均表现出典型的钙钛矿结构, 表明通过冷烧结可以成功制备出  $0.78\text{BNT}\text{-}0.22\text{NN@SiO}_2$  陶瓷。 $950^\circ\text{C}$  样品由于热处理温度不足, 含有冷烧结反应中间相  $\text{NaSi}_{0.7}\text{Nb}_{10.3}\text{O}_{19}$ , 进而影响其后续性能。



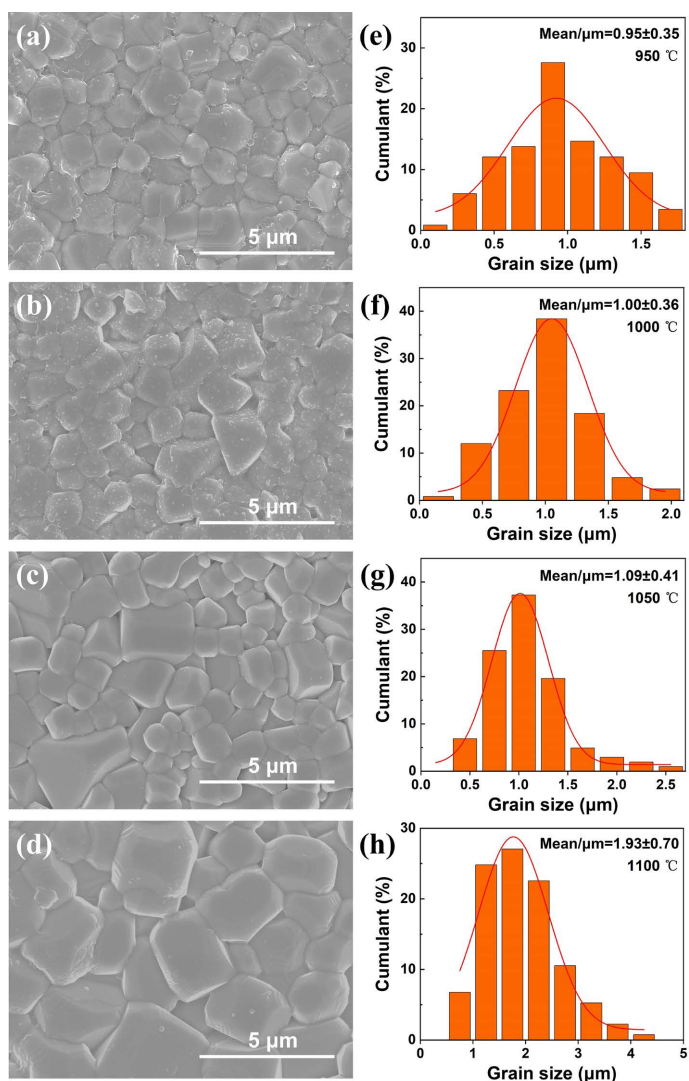
**Figure 1.** (a) XRD pattern and (b) relative density of cold-sintered  $0.78\text{BNT}\text{-}0.22\text{NN@SiO}_2$  ceramics at different heat treatment temperatures

**图 1.** 不同热处理温度下冷烧结  $0.78\text{BNT}\text{-}0.22\text{NN@SiO}_2$  陶瓷的(a) XRD 图谱和(b) 相对密度

为了研究不同热处理温度对冷烧结  $0.78\text{BNT}\text{-}0.22\text{NN@SiO}_2$  陶瓷的相对密度的影响, 根据阿基米德排水法测量其实际密度, 并计算了陶瓷的相对密度, 对相对密度的变化进行了分析, 如图 1(b)所示。随着热处理温度的上升, 相对密度呈现先上升后下降的变化趋势, 当热处理温度为  $1050^\circ\text{C}$  时, 达到最高的绝对密度, 其相应的相对密度为 98.8%。当将后续热处理温度降低至  $950^\circ\text{C}$  或升高至  $1100^\circ\text{C}$  时, 相对密度都会出现下降, 这可能是因为温度偏低无法达到发生相变所需的最低温度, 从而阻碍了陶瓷的致密化过程; 而温度过高则容易加快冷烧结后陶瓷的非晶态向结晶态的转变, 造成晶粒尺寸不均匀、异常增大, 同时也会使陶瓷的孔隙率增加。因此, 精确控制热处理温度对于实现  $0.78\text{BNT}\text{-}0.22\text{NN@SiO}_2$  陶瓷的高密

度并降低烧结温度至关重要。

图 2 为不同热处理温度对冷烧结 0.78BNT-0.22NN@SiO<sub>2</sub> 陶瓷的 FESEM 微观形貌, 并通过 Nano Measurer 统计并计算了平均晶粒尺寸, 列出相应的晶粒尺寸分布。可以看出, 不同热处理温度下的陶瓷均有较高的致密性, 没有明显孔洞的存在。950℃、1000℃热处理样品晶粒尺寸分布较为均匀, 但由于热处理温度较低, 在晶粒表面出现冷烧结的“溶解-沉淀”过程中产生的非晶态沉淀。随着热处理温度的升高, 非晶态沉淀转变为结晶态, 1050℃热处理样品出现清晰的晶界。1100℃热处理样品由于热处理温度过高, 少部分晶粒发生异常长大。

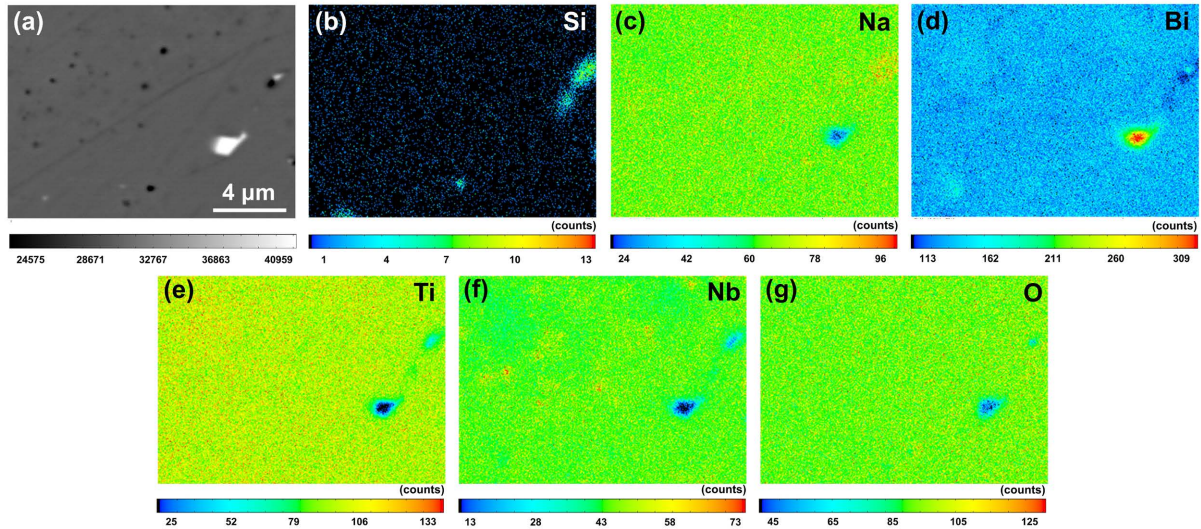


**Figure 2.** FESEM diagram of cold-sintered 0.78BNT-0.22NN@SiO<sub>2</sub> ceramics at different heat treatment temperatures and corresponding grain size distribution: (a, e) 950℃; (b, f) 1000℃; (c, g) 1050℃; (d, h) 1100℃

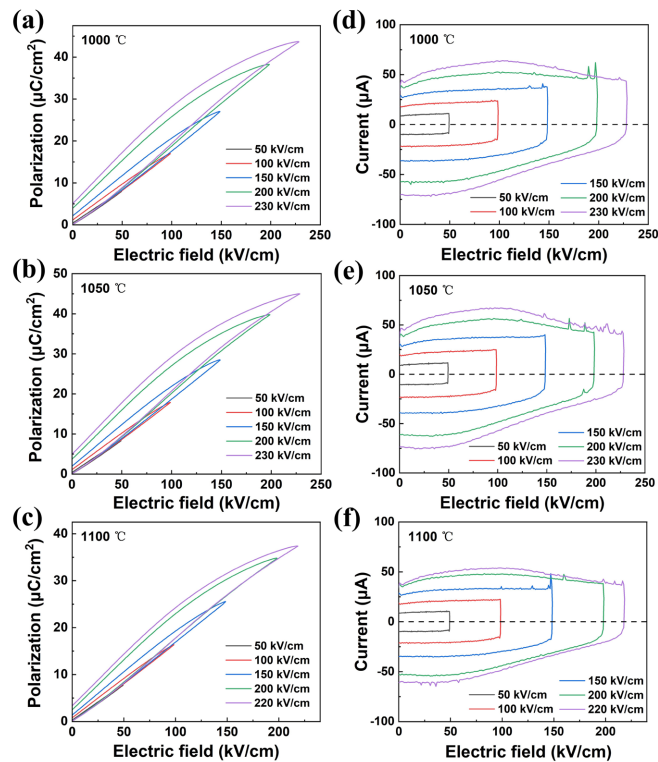
图 2. 不同热处理温度下冷烧结 0.78BNT-0.22NN@SiO<sub>2</sub> 陶瓷的 FESEM 图及其对应的晶粒尺寸分布; (a, e) 950℃; (b, f) 1000℃; (c, g) 1050℃; (d, h) 1100℃

图 3 为冷烧结 0.78BNT-0.22NN@SiO<sub>2</sub> 陶瓷经过 1050℃ 热处理后, 在电子探针显微镜下放大 7500 倍的面扫描结果。由图 3(a) 可见, 背散射图样中出现三种不同衬度的区域。结合冷烧结过程中的“溶解-析出”机制, 少量 SiO<sub>2</sub> 包覆层会率先部分溶解于前驱液并发生颗粒重排, 随后又会在压力和温度的综合作

用下析出沉淀，填充在晶粒之间的空隙中，提高了密度，进而形成高度致密的陶瓷[17]。因此，结合不同元素的面扫结果，黑色衬度区为 Si 与孔洞，表明由于 NaOH 溶液对 SiO<sub>2</sub> 的辅助致密化特性，促使了  $\alpha$ -石英晶核的形成，生成的  $\alpha$ -石英相填补了陶瓷中的孔隙。白色相为富 Bi 相，是由元素扩散不均匀导致的。



**Figure 3.** Surface morphology and EPMA analysis results of 0.78BNT-0.22NN@SiO<sub>2</sub> ceramics after heat treatment at 1050 °C  
**图 3.** 0.78BNT-0.22NN@SiO<sub>2</sub> 陶瓷经过 1050 °C 热处理后的表面形貌与 EPMA 分析结果

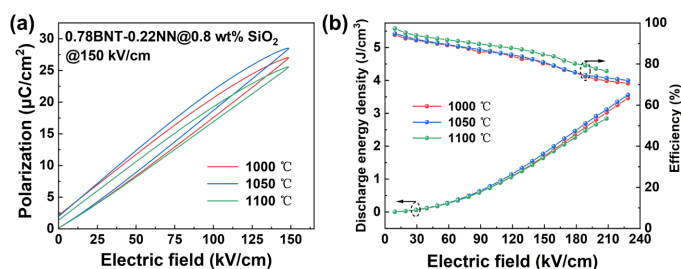


**Figure 4.** Hysteresis loop and current curve of cold sintered 0.78BNT-0.22NN@SiO<sub>2</sub> ceramics with varying electric field strength at different heat treatment temperatures; (a, d) 1000 °C; (b, e) 1050 °C; (c, f) 1100 °C

**图 4.** 不同热处理温度下的冷烧结 0.78BNT-0.22NN@SiO<sub>2</sub> 陶瓷随电场强度变化的电滞回线与电流曲线; (a, d) 1000 °C; (b, e) 1050 °C; (c, f) 1100 °C

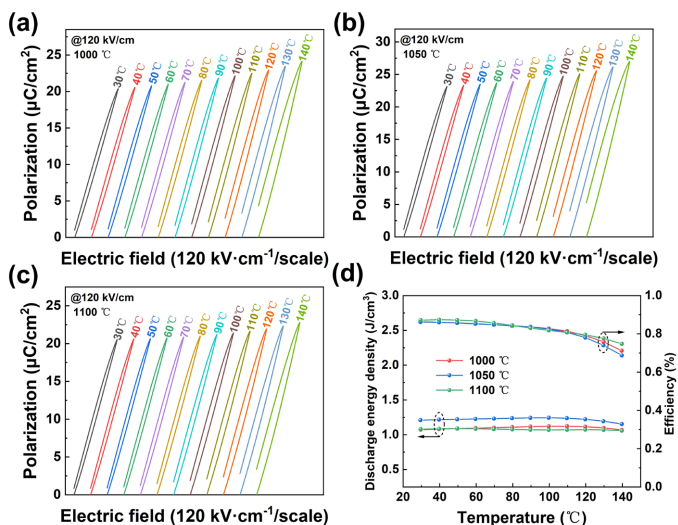
不同热处理温度下的冷烧结 0.78BNT-0.22NN@SiO<sub>2</sub> 陶瓷随电场强度变化的电滞回线与电流曲线如图 4 所示。950℃热处理样品由于热处理温度不够，样品含有大量的非晶态沉淀没有转化成结晶态，导致没有测出正常的电滞回线；其他样品的电滞回线与电流曲线具有相似的随电场变化特征。冷烧结由于更复杂的“溶解-沉淀-结晶”过程，导致陶瓷更容易出现缺陷，表现为更高的剩余极化强度，以及更粗化的电滞回线与电流曲线中毛刺状的电流峰。

图 5(a)为不同热处理温度下的冷烧结 0.78BNT-0.22NN@SiO<sub>2</sub> 陶瓷在 150 kV/cm 电场强度下的单极电滞回线。所有样品都呈现出细瘦的电滞回线，表现出明显的弛豫特性。随着热处理温度的升高，样品的最大极化强度呈现先上升后下降的趋势，1050℃热处理的样品的最大极化强度达到最高，为 28.48 μC/cm<sup>2</sup>。对不同热处理温度下的冷烧结 0.78BNT-0.22NN@SiO<sub>2</sub> 陶瓷在不同电场强度下的电滞回线进行储能密度和储能效率的计算，如图 5(b)所示。冷烧结样品由于内部缺陷的存在，击穿场强低于两段式烧结样品，但明显高于其他未经包覆修饰的冷烧结样品。1000℃与 1050℃热处理的样品有着近乎重合的变化曲线，但在相同电场强度下 1050℃热处理的样品有更高的储能密度与储能效率。1050℃热处理的样品最终在 230 kV/cm 的外加电场下，获得了 3.56 J/cm<sup>3</sup> 的放电储能密度，相应的储能效率为 72%。



**Figure 5.** Cold sintered 0.78BNT-0.22NN@SiO<sub>2</sub> ceramics at different heat treatment temperatures (a) electric hysteresis loop at 150 kV/cm electric field strength and (b) energy storage density and energy storage efficiency varying with the electric field

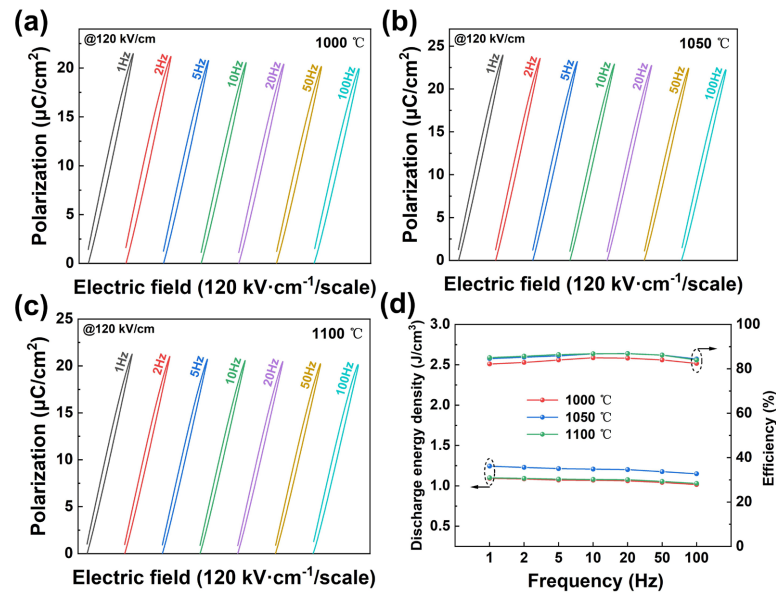
图 5. 不同热处理温度下的冷烧结 0.78BNT-0.22NN@SiO<sub>2</sub> 陶瓷(a) 在 150 kV/cm 电场强度下的电滞回线及(b) 随电场变化的储能密度与储能效率



**Figure 6.** Cold sintering of 0.78BNT-0.22NN@SiO<sub>2</sub> ceramics at different heat treatment temperatures variable temperature hysteresis loop at 120 kV/cm electric field strength (a) 1000 °C; (b) 1050 °C; (c) 1100 °C and (d) discharge energy density and energy efficiency

图 6. 不同热处理温度下的冷烧结 0.78BNT-0.22NN@SiO<sub>2</sub> 陶瓷在 120 kV/cm 电场强度下的变温电滞回线(a) 1000℃；(b) 1050℃；(c) 1100℃以及(d) 放电能量密度与能量效率

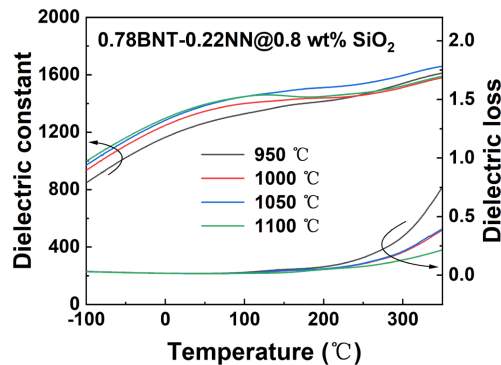
不同热处理温度下的冷烧结 0.78BNT-0.22NN@SiO<sub>2</sub> 陶瓷在 120 kV/cm 电场强度下的变温单极电滞回线及变温储能性能如图 6 所示, 测试温度范围为 30℃ 至 140℃。随着温度的升高, 各陶瓷样品的最大极化强度与剩余极化强度逐渐上升, 这是由冷烧结过程中产生的缺陷被热激活, 进而导致储能效率均出现明显下降。在整个测试温度范围内 1050℃ 热处理样品仍然具有最高的储能密度。



**Figure 7.** Cold sintering of 0.78BNT-0.22NN@SiO<sub>2</sub> ceramics at different heat treatment temperatures at 120 kV/cm electric field strength, unipolar hysteresis loop at different frequencies (a) 1000°C; (b) 1050°C; (c) 1100°C and (d) discharge energy density and energy efficiency

**图 7.** 不同热处理温度下的冷烧结 0.78BNT-0.22NN@SiO<sub>2</sub> 陶瓷在 120 kV/cm 电场强度, 不同频率下的单极电滞回线 (a) 1000℃; (b) 1050℃; (c) 1100℃ 以及 (d) 放电能量密度与能量效率

图 7 为不同热处理温度下的冷烧结 0.78BNT-0.22NN@0.8 wt% SiO<sub>2</sub> 陶瓷在 120 kV/cm 电场强度下, 不同频率下单极电滞回线。虽然冷烧结 0.78BNT-0.22NN@0.8 wt% SiO<sub>2</sub> 陶瓷的温度稳定性并不是很理想, 但具有优异的频率稳定性。在 1 Hz 至 100 Hz 频率范围内, 各热处理温度下的冷烧结样品最大极化强度几乎不变, 均表现出优异的频率稳定性, 尤其是 1050℃ 热处理的样品, 在整个测试频率范围均具有最大的放电储能密度, 且储能密度变化率仅为 3%。



**Figure 8.** Relationship between dielectric constant and dielectric loss of cold sintered 0.78BNT-0.22NN@SiO<sub>2</sub> ceramics at different heat treatment temperatures

**图 8.** 不同热处理温度下的冷烧结 0.78BNT-0.22NN@SiO<sub>2</sub> 陶瓷介电常数和介电损耗随温度的变化关系

为探究不同热处理温度对容温稳定性的影响,不同热处理温度下的冷烧结 0.78BNT-0.22NN@SiO<sub>2</sub> 陶瓷在 1 kHz 下随温度变化的介电常数与介电损耗谱图如图 8 所示。不同热处理温度下的冷烧结样品介电相变峰均非常平坦,未出现尖锐的相变峰。随着热处理温度的升高,冷烧结样品中非晶相逐渐转变为晶相,并消除陶瓷内部孔隙,从而使介电常数逐渐升高,介电损耗逐渐降低。1050℃热处理的样品在室温下达到 1340 的介电常数,1.4%的介电损耗。

## 4. 结论

本文结合化学包覆和冷烧结技术成功制备出高性能的 0.78BNT-0.22NN@SiO<sub>2</sub> 陶瓷,系统研究了热处理温度对冷烧结 0.78BNT-0.22NN@SiO<sub>2</sub> 陶瓷的性能影响规律。XRD 结果显示所有热处理温度下的冷烧结包覆粉体陶瓷均表现出典型的钙钛矿结构,表明通过冷烧结可以成功制备出 0.78BNT-0.22NN@SiO<sub>2</sub> 陶瓷。随着热处理温度的上升,相对密度呈现先上升后下降的变化趋势,当热处理温度为 1050℃时,达到最高的绝对密度,其相应的相对密度接近 99%。FESEM 结果,不同热处理温度下的陶瓷均有较高的致密性,没有明显孔洞的存在。在 EPMA 背散射模式下检测出陶瓷内部的黑色衬度区为 Si 与孔洞,表明由于 NaOH 溶液对 SiO<sub>2</sub> 的辅助致密化特性,促使了  $\alpha$ -石英晶核的形成,生成的  $\alpha$ -石英相填补了陶瓷中的孔隙。是由于 NaOH 溶液对 SiO<sub>2</sub> 的辅助致密化特性,促使了  $\alpha$ -石英晶核的形成,生成的  $\alpha$ -石英相填补了陶瓷中的孔隙。不同热处理温度下的冷烧结样品相变峰均非常平坦,未出现尖锐的相变峰。1050℃样品在 1 Hz 至 100 Hz 频率范围内,储能效率变化率仅为 3%,在室温下达到 1340 的介电常数,1.4%的介电损耗,并最终在 230 kV/cm 的外加电场下,也获得了 3.56 J/cm<sup>3</sup> 的放电储能密度,相应的储能效率为 72%。以上结果充分说明,冷烧结制备工艺,可以进一步结合化学包覆、热处理工艺等进行优化,最终协同制备获得高性能的陶瓷材料。

## 基金项目

感谢国家自然科学基金(52202153)的支持。

## 参考文献

- [1] Guo, J., Berbano, S.S., Guo, H., Baker, A.L., Lanagan, M.T. and Randall, C.A. (2016) Cold Sintering Process of Composites: Bridging the Processing Temperature Gap of Ceramic and Polymer Materials. *Advanced Functional Materials*, **26**, 7115-7121. <https://doi.org/10.1002/adfm.201602489>
- [2] Guo, H., Baker, A., Guo, J. and Randall, C.A. (2016) Cold Sintering Process: A Novel Technique for Low-Temperature Ceramic Processing of Ferroelectrics. *Journal of the American Ceramic Society*, **99**, 3489-3507. <https://doi.org/10.1111/jace.14554>
- [3] Guo, H., Baker, A., Guo, J. and Randall, C.A. (2016) Protocol for Ultralow-Temperature Ceramic Sintering: An Integration of Nanotechnology and the Cold Sintering Process. *ACS Nano*, **10**, 10606-10614. <https://doi.org/10.1021/acs.nano.6b03800>
- [4] Yan, F., Qian, J., Wang, S. and Zhai, J. (2024) Progress and Outlook on Lead-Free Ceramics for Energy Storage Applications. *Nano Energy*, **123**, Article ID: 109394. <https://doi.org/10.1016/j.nanoen.2024.109394>
- [5] Zhang, L., Pu, Y., Chen, M., Peng, X., Wang, B. and Shang, J. (2023) Design Strategies of Perovskite Energy-Storage Dielectrics for Next-Generation Capacitors. *Journal of the European Ceramic Society*, **43**, 5713-5747. <https://doi.org/10.1016/j.jeurceramsoc.2023.06.037>
- [6] Fan, X., Wang, J., Yuan, H., Zheng, Z., Zhang, J. and Zhu, K. (2023) Multi-Scale Synergic Optimization Strategy for Dielectric Energy Storage Ceramics. *Journal of Advanced Ceramics*, **12**, 649-680. <https://doi.org/10.26599/jac.2023.9220703>
- [7] Zhu, W., Shen, Z., Deng, W., Li, K., Luo, W., Song, F., et al. (2024) A Review: (Bi, Na)TiO<sub>3</sub> (BNT)-Based Energy Storage Ceramics. *Journal of Materiomics*, **10**, 86-123. <https://doi.org/10.1016/j.jmat.2023.05.002>
- [8] Qi, H., Xie, A. and Zuo, R. (2022) Local Structure Engineered Lead-Free Ferroic Dielectrics for Superior Energy-Storage Capacitors: A Review. *Energy Storage Materials*, **45**, 541-567. <https://doi.org/10.1016/j.ensm.2021.11.043>

- 
- [9] Ning, Y., Pu, Y., Zhang, Q., Chen, Z., Zhang, J., Ouyang, T., *et al.* (2024) Improved Energy Storage Capacity of High-Entropy Ferroelectric Perovskite Ceramic via Flash Sintering. *Journal of Power Sources*, **618**, Article ID: 235205. <https://doi.org/10.1016/j.jpowsour.2024.235205>
- [10] Wang, W., Zhang, L., Yang, Y., Shi, W., Huang, Y., Alikin, D.O., *et al.* (2023) Enhancing Energy Storage Performance in  $\text{Na}_{0.5}\text{Bi}_{0.5}\text{TiO}_3$ -Based Lead-Free Relaxor Ferroelectric Ceramics along a Stepwise Optimization Route. *Journal of Materials Chemistry A*, **11**, 2641-2651. <https://doi.org/10.1039/d2ta09395b>
- [11] Wang, T., Zhang, L., Zhang, A., Liu, J., Kong, L., Chen, G., *et al.* (2023) Synergistic Enhanced Energy Storage Performance of NBT-KBT Ceramics by  $\text{K}_{0.5}\text{Na}_{0.5}\text{NbO}_3$  Composition Design. *Journal of Alloys and Compounds*, **948**, Article ID: 169725. <https://doi.org/10.1016/j.jallcom.2023.169725>
- [12] Zhu, C., Cai, Z., Luo, B., Guo, L., Li, L. and Wang, X. (2020) High Temperature Lead-Free BNT-Based Ceramics with Stable Energy Storage and Dielectric Properties. *Journal of Materials Chemistry A*, **8**, 683-692. <https://doi.org/10.1039/c9ta10347c>
- [13] 蔡子明, 李澳宇, 李欣恒, 等. 钛酸铋钠基陶瓷的冷烧结制备及介电性能[J]. 硅酸盐学报, 2023, 51(12): 3067-3076.
- [14] Zhang, T., Huang, R., Wang, H., Hao, H., Yao, Z., Liu, H., *et al.* (2024) Preparation of  $\text{Ba}_{0.65}\text{Bi}_{0.07}\text{Sr}_{0.245}\text{TiO}_3$  Relaxor Ferroelectric Ceramics with High Energy Storage Capability by Coating Powders with ZnO. *Ceramics International*, **50**, 7798-7806. <https://doi.org/10.1016/j.ceramint.2023.12.107>
- [15] Zhang, X., Zhao, L., Liu, L., Zhang, Z. and Cui, B. (2022) Interface and Defect Modulation via a Core-Shell Design in  $(\text{Na}_{0.5}\text{Bi}_{0.5}\text{TiO}_3@ \text{La}_2\text{O}_3)$ - $(\text{SrSn}_{0.2}\text{Ti}_{0.8}\text{O}_3@ \text{La}_2\text{O}_3)$ - $\text{Bi}_2\text{O}_3$ - $\text{B}_2\text{O}_3$ - $\text{SiO}_2$  Composite Ceramics for Wide-Temperature Energy Storage Capacitors. *Chemical Engineering Journal*, **435**, Article ID: 135061. <https://doi.org/10.1016/j.cej.2022.135061>
- [16] Xiao, M., Zhen, Y., Zhu, C., Cheng, X., Zhao, P. and Wang, X. (2023) Effect of Ho-Dy Co-Doping on the Electrical Properties and Reliability of  $\text{BaTiO}_3$ -Based Nanoceramics for Base Metal Electrode Multilayer Ceramic Capacitor. *Journal of the American Ceramic Society*, **106**, 5898-5906. <https://doi.org/10.1111/jace.19223>
- [17] Guo, J., Baker, A.L., Guo, H., Lanagan, M. and Randall, C.A. (2016) Cold Sintering Process: A New Era for Ceramic Packaging and Microwave Device Development. *Journal of the American Ceramic Society*, **100**, 669-677. <https://doi.org/10.1111/jace.14603>