

CMOS集成电路总剂量效应加固技术研究现状

梁泽宇, 庞洪超, 李兴隆, 骆志平

中国原子能科学研究院核安全与环境工程技术研究所, 北京

收稿日期: 2024年3月8日; 录用日期: 2024年3月27日; 发布日期: 2024年4月30日

摘要

在核设施运行、乏燃料后处理、可控核聚变、航天卫星与太空探索、核军工、 γ 辐照站等存在强辐射的场景下, 高能粒子、射线会与器件中的半导体材料相互作用产生辐射效应, 对信号的完整性和精度产生较大影响。本文首先介绍了总剂量效应(TID)的作用机制, 及其在MOS器件中的主要影响: 总剂量效应会导致MOS管阈值电压漂移、跨导下降、载流子迁移率降低和电流额外泄漏等问题。其次, 按照时间顺序依次阐述了近代以来总剂量效应在半导体器件特别是CMOS器件中的具体影响, 尤其对浅槽隔离氧化物(Shallow Trench Isolation, STI)受到总剂量效应的影响做了着重描述。最后, 分析了在电路级中的总剂量效应, 以及目前流行的几种抗辐射加固技术。

关键词

CMOS集成电路, 总剂量效应, 抗辐射加固技术

Research Status of Total Dose Effect of CMOS Integrated Circuit

Zeyu Liang, Hongchao Pang, Xinglong Li, Zhiping Luo

Institute of Nuclear Safety and Environmental Engineering, China Institute of Atomic Energy, Beijing

Received: Mar. 8th, 2024; accepted: Mar. 27th, 2024; published: Apr. 30th, 2024

Abstract

In the scenario of strong radiation in the operation of nuclear facilities, spent fuel reprocessing, controllable nuclear fusion, space satellites and space exploration, nuclear military industry, and γ radiation station, high-energy particles and rays will interact with the semiconductor materials in the device to produce radiation effect, which will have a great impact on the integrity and accuracy of the signal. This paper first introduces the mechanism of total dose effect (TID) and its main effects in

MOS devices: total dose effect leads to MOS tube threshold voltage drift, transguide drop, reduced carrier mobility, and additional current leakage. Secondly, the specific effects of the total dose effect in semiconductor devices, especially CMOS devices in modern times are expounded in chronological order, especially for the influence of shallow trough isolated oxides (Shallow Trench Isolation, STI) by the total dose effect. Finally, the total dose effect at the circuit level and several popular radiation reinforcement techniques are analyzed.

Keywords

CMOS Integrated Circuit, Total Dose Effect (TID), Radiation Resistance Reinforcement Technology

Copyright © 2024 by author(s) and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY 4.0).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

1. 引言

在宇宙空间、地面核设施运行、乏燃料后处理等场景中，不可避免地存在强电离辐射场。这些电离辐射场中不可避免地存在大量带电粒子，如质子和电子，足以在半导体材料中沉积，从而产生能量改变半导体器件原本的一些性能。例如，在电离辐射下会改变标准参考电压下晶体管的特性，即使一毫伏的偏差也会导致电路运行有所偏差，从而导致测量错误或者系统故障。类似地，在采样电路中电离粒子引起一个瞬时电压脉冲，则错误的电压脉冲被采集后可能导致显著的模数转换错误，并且传播到随后的数字模块及其之后的电路。

本文针对总剂量效应在 CMOS 电路中的具体表现，按照时间顺序介绍了国内外对于 CMOS 电路中总剂量效应的研究，分析了几种主流的电路级抗总剂量效应辐射加固的方法。

2. CMOS 电路中的总剂量效应

总剂量效应是一种积累效应，而不是一种瞬态效应，沉积在集成电路(IC)上的电荷经常被困在绝缘体材料中(主要是二氧化硅)，而捕获的正电荷可以改变器件的特性，从而改变电路的性能。其原理是电离辐射在与半导体的接触时产生电子-空穴对，电子空穴对随即产生复合沉积形成氧化物陷阱电荷与界面态，最终使得器件性能参数发生退化的效应称为总剂量效应(TID) [1]。TID 效应会导致 MOS 管阈值电压漂移、跨导下降、载流子迁移率降低和电流额外泄漏。具体来讲，总剂量效应会对 MOS 工艺器件产生下列许多的问题[2] [3] [4]:

首先是由电离辐射在栅氧化层中引入正电荷造成的阈值电压漂移问题。在总剂量辐射后，MOS 器件阈值电压曲线均会向左漂移，即 NMOS 阈值电压降低，PMOS 阈值电压增大。对数字电路的影响就是 NMOS 响应速度变快，PMOS 相反；对模拟电路的影响就是 NMOS 管过驱动电压增大，导通电阻减小，驱动电流增大；PMOS 管过驱动电压降低，导通电阻增大，驱动电流减小。在极端情况下，电离辐射会使得 NMOS 管由增强型变为耗尽型，在“零偏置”条件下即能导通，导致电路功耗增加，甚至功能出现异常。

其次是在栅的有源区与场氧区边缘引起的源漏区漏电问题。在总剂量辐照后，MOS 管将会产生一定程度的阈值电压漂移，氧化层厚度越大，阈值电压漂移越大。而场区氧化层的厚度比栅极氧化层大得多，因此栅在场氧下的阈值电压漂移较大。在该效应影响下，位于场氧边缘的源极和漏极之间产生漏电通道，

使 MOS 管截止区特性变差。

第三是在 MOS 管场氧区下方会产生漏电通道, 导致 MOS 器件漏电。在总剂量辐射条件下, 场氧下寄生的 NMOS 管会开启, 由此产生的漏电称之为场区漏电。特别是在相邻 NMOS 不同电位的源漏极之间或相邻不同电位的 N 阱之间容易产生漏电通道, 造成电路特性变差[5]。

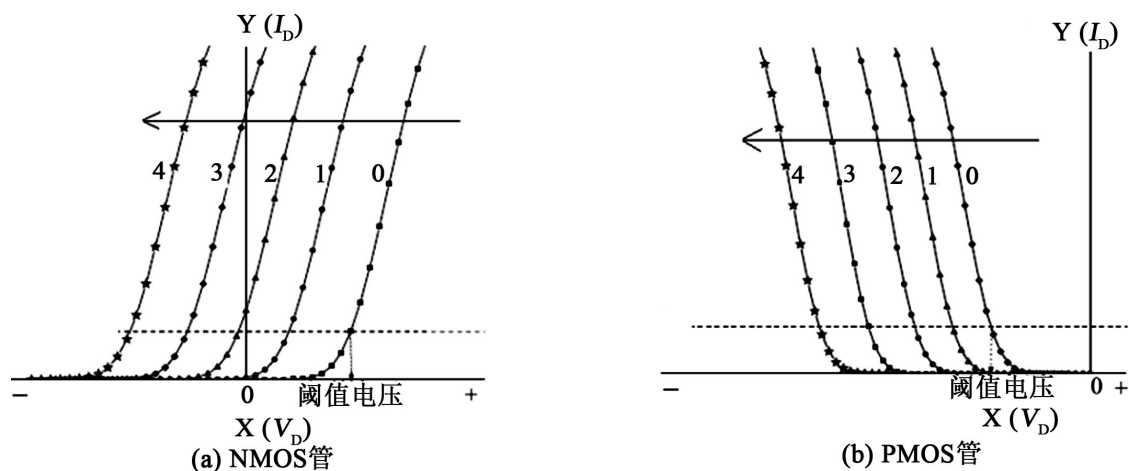


Figure 1. Drift of the I-V characteristics of NMOS and PMOS transistors under irradiation conditions
图 1. NMOS 管和 PMOS 管在辐照条件下的 I-V 特性漂移

如图 1 所示为典型的 NMOS 和 PMOS 管的 I-V 特性曲线随辐射电离辐射总剂量效应的增加而逐渐漂移的过程[6]。图中 X 轴为栅极电压 V_G , Y 轴为漏极电流 I_D 。曲线 0 表示未受到辐照前 MOS 器件的 I-V 特性曲线; 曲线 1 到曲线 4 分别表示不同辐照剂量下器件的 I-V 特性曲线。随着总剂量效应的增大, 阈值电压漂移就越大。对于 N 型 MOS 管, 栅极所接的正电压大于阈值电压时, 晶体管开始导通。对于 P 型 MOS 晶体管, 栅极所接的负电压小于阈值电压时, 晶体管导通。根据图 1(a), NMOS 管随着电离总剂量效应的增大, 阈值电压向负方向漂移, 表现为阈值电压减小。本该截止的晶体管此时却变为导通, 原来该导通的晶体管需要截止时无法截止。同理, 图 1(b)的 PMOS 管随着电离总剂量效应的增大, 阈值电压向负方向漂移, 表现为阈值电压增加。本该导通的晶体管变为截止, 原来该截止的晶体管需要导通时无法导通。

3. CMOS 器件中的总剂量效应研究现状

3.1. 早期半导体器件的总剂量效应

由于 CMOS 工艺具有性能好、功耗低、集成度高、抗中子辐射能力强等优点, 因而在集成电路设计中得以广泛应用。在上一章的介绍中, 我们知道 TID 主要影响的是阈值电压位移和场氧化物泄漏。而金属氧化物半导体场效应晶体管(MOSFET)的阈值电压位移是由栅极氧化物或氧化物/半导体界面中的电荷捕获引起的。

对体硅 MOSFET 总剂量效应的研究, 最早是由 NRL 实验室的 Giroux 和 Hughes 进行的[7]。研究指出, 在辐射环境下, N 型和 P 型 MOS 管的栅氧层会积累大量陷阱电荷, 从而影响器件电学特性, 且随着辐射剂量的升高, 器件电学性质会进一步恶化。上世纪七十年代初的研究表明, 将 MOSFET 置于由 γ 射线、 α 射线组成的复杂辐射环境下, 由于辐射引发的栅氧层陷阱电荷对阈值电压与跨导都有严重影响。

1972 年, Naval 实验室的研究人员发现, 晶格缺陷密度直接影响了氧化层在辐射环境下对辐射感生

电荷的俘获能力,这一发现是研究史上的一项重大突破,有助于对 MOS 器件的辐射效应进行更深入的研究[8]。

在上世纪八十年代左右,传统 MOSFET 的栅极材料由铝变成多晶硅。在多晶硅栅工艺中,电路设计以及版图设计对于集成电路加固也变得十分重要。在这一时期,集成电路制造工艺中普遍采用的隔离技术是局部氧化隔离(Local Oxidation of Silicon, LOCOS)技术,但 LOCOS 技术会产生“鸟嘴效应”[9]。由于硅和氮化硅的不同氧化速率而导致器件在沟道宽度方向发生横向入侵,从而抬高氮化物边缘而形成类似于鸟嘴形状的区域,这就是鸟嘴效应。而鸟嘴区对总剂量效应十分敏感[10]。

3.2. 深亚纳米级 CMOS 集成电路中的总剂量效应

20 世纪 90 年代,辐射加固的重点研究对象变为深亚微米 CMOS 集成电路。研究发现,随着栅氧化物厚度的减小,电荷积累引起的阈值位移减小[11]。在薄氧化物中,被捕获的电荷能够被电子穿透氧化物并释放捕获的空穴,二者复合可以使捕获的电荷大大减少。因此,现代深亚微米 CMOS 晶体管能够相当好地抵抗由 TID 引起的阈值电压位移。进入 90 nm 工艺节点以后, MOSFET 等半导体器件由于栅氧变薄且质量明显提高,其总剂量效应得到了极大改善,有研究表明 MOSFET 的本征抗总剂量能力已经超过 100 krad (Si),能够满足部分航空航天、军事应用的需求[12] [13]。随着工艺技术节点的缩减,总剂量效应对半导体器件的主要损伤部位从栅氧化层逐渐转移到浅槽隔离氧化物(Shallow Trench Isolation, STI),栅氧化物对总剂量效应的敏感性降低,而 STI 对总剂量效应的敏感性依然较高,在累积剂量较高时仍然对器件造成明显损伤。

21 世纪初,半导体技术节点已发展至 0.13 μm 以下,研究重点又变为采用浅沟槽隔离层 STI 的深亚微米 CMOS 集成电路。在 0.13 μm 技术节点下, MOS 晶体管栅氧层的厚度已减小到 10 毫米以下,所以栅氧层不再是产生总剂量效应的主要因素。与 LOCOS 技术相比,浅沟槽隔离层技术拥有诸多优势,例如: STI 技术能够显著提高芯片集成度与隔离层质量,减少鸟嘴效应[14]。因此, STI 常常被现代集成电路制造工艺大量采用作为隔离层,但是针对 STI 结构总剂量效应的研究[12]表明,辐射效应仍然能够对集成电路产生很大的危害。

虽然在现代 CMOS 工艺中阈值电压位移很小, CMOS 集成电路的隔离或场氧化物仍然可以导致明显的电路参数退化。目前工艺中的栅氧化物的厚度可能在几纳米量级,但场氧化物的厚度仍在几百纳米量级。因此,正电荷会被困在场氧化物中,使得大量的捕获电荷导致 P 型衬底或集 P 型空穴表面反转,这可能会导致器件内和器件间的产生泄漏电流。P 型衬底在 n 型场效应晶体管的源与漏之间的表面反转产生了一个导电沟道,增加了器件的漏源电流,尤其当器件在运行在亚阈值状态中最为明显。这些影响在现代 CMOS 技术的浅沟隔离(STI)中尤其明显。如果辐射产生的泄漏电流足够大,相当于器件的预期工作电流或超过器件的预期所需的工作电流,这使得他们无法正常关闭。泄漏电流使得供电电流增加,同时也通过增加受到辐射影响的晶体管的偏置电流从而影响模拟电路的运行[15]。也有研究结果表明,由于掺杂浓度的提高,表面反转需要更多的电荷来进行, STI 中的电荷捕获效应的影响随着 CMOS 的尺寸增加而降低[16] [17] [18]。

4. CMOS 集成电路中的 TID 效应以及抗辐射加固技术

关于总剂量效应对模拟集成电路影响的研究已经涵盖了广泛的电路和系统,主要包括双极工艺和 CMOS 工艺,这里只着重讨论 CMOS 器件。最常见的模拟电路便是运算放大器,由于运算放大器是模拟电路的基本构件之一,它可以反映 TID 效应对模拟电路的影响。在以往的研究中, CMOS 运算放大器在 TID 辐射实验中有较大的偏移电压变化以及一些灾难性的故障,但是对参数在 250 纳米、180 纳米和 130

纳米技术节点对于集成电路中 TID 效应的研究表明, 每个亚微米级比其前一亚微米级的关键参数都有显著提升, 包括阈值电压、跨导率和闪烁(或 1/f)噪声等参数[19] [20] [21]。如上所述, 这种抗辐射效果的增加是由于深亚微米 CMOS 工艺自身具有较薄的栅氧化物和其较高的掺杂浓度。

4.1. 解决 STI 泄漏问题的抗辐射加固电路设计

过去, 实现耐辐射集成电路的一种很常见但是复杂而且昂贵的方法是通过在制造工艺中额外添加的抗辐射加固工艺以提升抗辐射水平, 从而达到抗辐射加固的目的, 这种方法称为生产工艺级的抗辐射加固技术(RHBP)。而电路设计级抗辐射加固技术(RHBD)的成功主要归因于现代纳米级 CMOS 晶体管对总剂量效应的相对不敏感性, 这是由于纳米级 CMOS 晶体管使用薄的栅氧化物在很大程度上缓解了 MOSFET 性能下降问题。因此, 产生了许多电路设计和版图设计来提升集成电路抗总剂量效应水平, 从而制造能够商用的耐辐射集成电路[22] [23]。

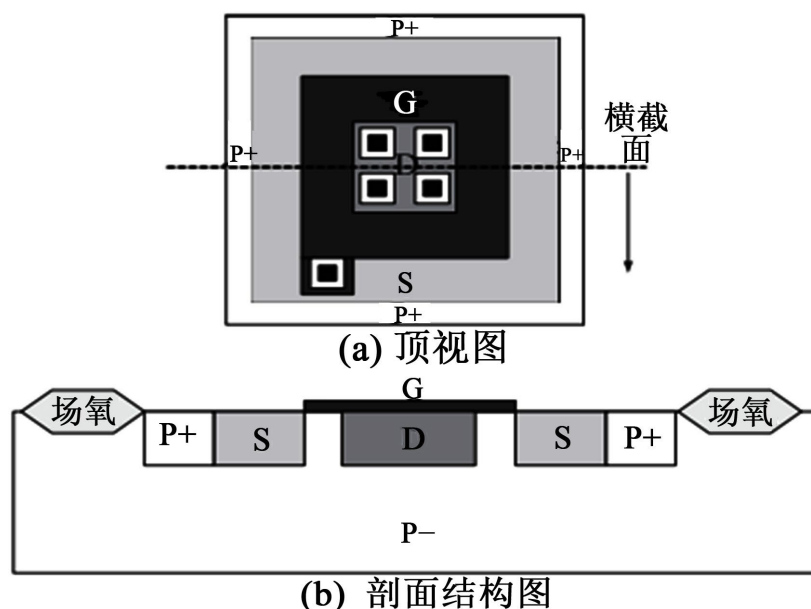


Figure 2. Gate-all-around NMOS tube layout diagram
图 2. 环形栅 NMOS 管布局示意图

第一种 RHBD 布局技术是无边缘(或封闭/环形)晶体管布局, 如图 2 所示, 是一种广泛使用的解决辐射源漏极泄漏问题的布局技术[5] [24]。其大致结构是一个环形的栅极包围晶体管的漏极, 而栅极又被源极包围。这种布局可以消除源极和漏极之间的侧壁边缘泄漏的路径, 从而避免晶体管由于电离辐射引起的泄漏。

第二种布局是用来消除 N 型场效应管的侧壁泄漏的设计[25]。其大致结构是使用“双聚”工艺或封闭漏极, 其中的栅极环绕漏极, 源极只在晶体管的单侧。其在场氧下面的薄氧化物限制了辐射产生的阈值位移, 并将保证电离辐射后仍可以持续正确地工作。

第三种流行的 RHBD 布局技术是使用 P+ 防护环, 用来防止 P 衬底的表面反转, 从而导致 N 型场效应晶体管到 N 型场效应晶体管之间产生泄漏电流, 或者 N 型场效应晶体管到 N 型阱之间产生泄漏电流[26] [27]。同时, 一些研究表明, 在 130 nm 的节点上, TID 实验中没有明显地观察到器件内的泄漏, 所以没有必要在此纳米级中大面积使用这种布局技术[21]。

4.2. 其他较为有效的抗辐射加固电路

除了专门解决 STI 泄漏的布局技术外, 还有在模拟电路中使用的各种其他的 RHBD 布局技术。在器件参数可能发生变化的情况下, 可以利用一些可变参数设计的方法进行设计。例如, 在大多数运算放大器中可以利用负反馈补偿反馈回路减少器件的参数退化。

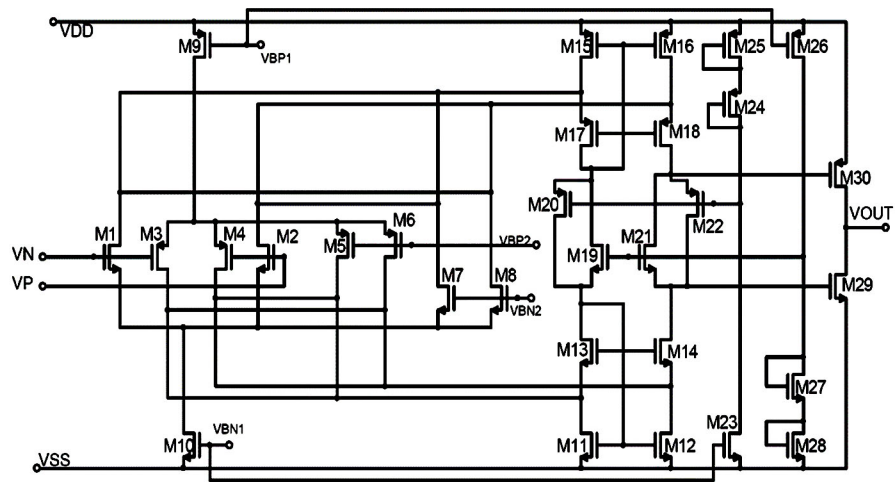


Figure 3. Circuit diagram of rail-to-rail operational amplifier

图 3. 轨对轨运算放大器电路示意图

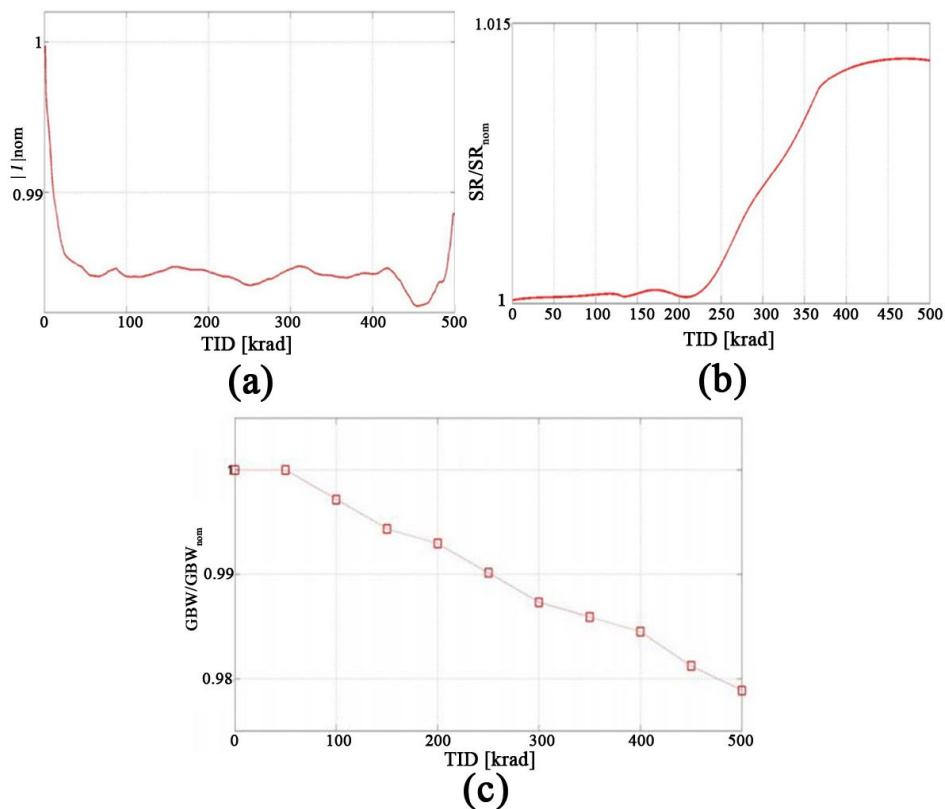


Figure 4. TID test results of rail-to-rail operational amplifier

图 4. 轨对轨运算放大器 TID 测试结果

在一些文献的研究中发现, 运算放大器对 TID 效应较为敏感是由于其具有不对称结构或者搭载了不稳定的负载, 这表明在模拟设计中利用对称性和电流匹配可以增加电路的抗辐射程度[28]。如图 3 所示是一个轨对轨运算放大器的电路示意图。输入级由 NMOS 输入对 M1、M2 与 PMOS 管的输入对 M3、M4 组成, 具有很好的对称结构, 在输入级与中间级中添加了一个跨导控制电路(M5~M8), 以保持轨对轨输入级的输出电流恒定, 确保跨导在所有输入共模范围内几乎恒定; 中间级是由两个电流镜 M11、M12、M15、M16 形成的相加电路, 放大电路由 M13、M14、M17、M18 组成; 输出级是一个由 M29、M30 组成的 AB 类输出级, 为了使输出稳定, 设计了浮动电流源由 M11、M19、M27、M28 和 M15、M20、M24、M25 组成。如图 4 所示是该电路各项参数随着 TID 效应增加的实验测试结果, 在图 4(a)中, 起始时运算放大器的电流消耗为 120 μA , 并且在 TID 效应积累过程中几乎保持不变, 变化幅度小于 2%; 图 4(b)显示了转换速率(SR)的变化结果。对于 SR 测量, 输入方信号为 1 kHz, 振幅为 $\pm 0.9\text{ V}$, 响应几乎保持在 200 krad (Si), 在最大累积剂量下增加约 1.3%; 图 4(c)增益带宽积下降接近线性, 在 TID 效应达到最大时仅有 2%的偏移。

此外, 也有一些针对电压参考电路的特殊的抗辐射加固技术。在电压参考电路上进行的 TID 效应实验主要集中在商业器件上, 而不是定制的集成电路。例如, Rax 等人发表了一个相关的 TID 效应辐射对电路影响的比较[26]。一般来说, 更复杂的精确度参考比中等精度集成电路的参数退化更小, 结果显示, 基准电压相对于总剂量几乎呈线性变化。

事实上, 显示参数退化最少的参考文献是受温度调节的掩埋齐纳基准, 即 LTZ1000。如图 5 所示是 LTZ1000 的基本结构, 由一个 7 V 的掩埋齐纳二极管、两个 npn 晶体管和两个加热器组成[29]。图 6 是带有温度调节的 LTZ1000 [30]。右边的运放 A2 提供了一个带有齐纳二极管的反馈回路, 它可以调节输出电压, 左侧的运算放大器 A1 提供热反馈回路。图 7 对比了是否带有温度调节电路的稳定性, 可以看出没有温度调节的电路温度漂移很大, 通过热反馈可以将温度漂移降到很小。基于 LTZ1000 的标准的唯一限制因素是使用外部运算放大器进行温度系数补偿和温度调节, 这些运算放大器由于位移损伤而导致的偏移电压参数退化, 从而使参考电压的显著变化。其核心电路的快速恢复能力证明其在辐射环境中使用温度调节参考电路是成功的。

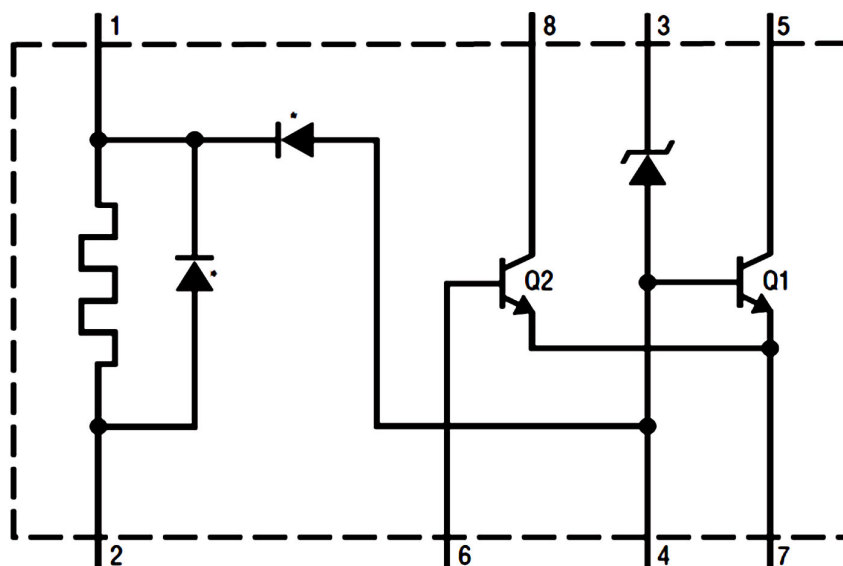


Figure 5. Structure diagram of LTZ1000
图 5. LTZ1000 结构示意图

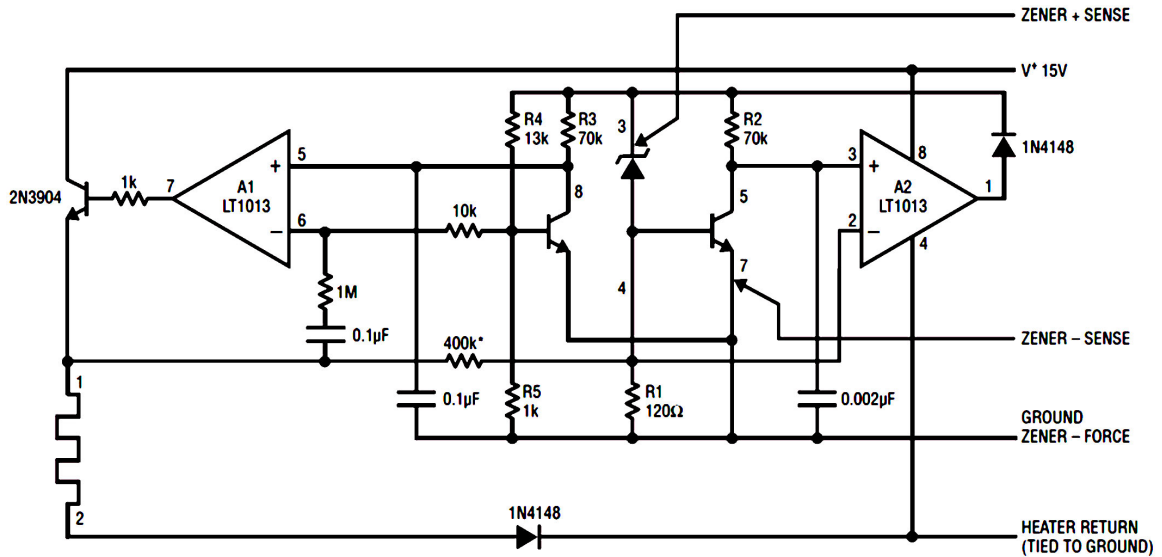


Figure 6. Structure diagram of LTZ1000 with temperature regulation

图 6. 带有温度调节的 LTZ1000 结构示意图

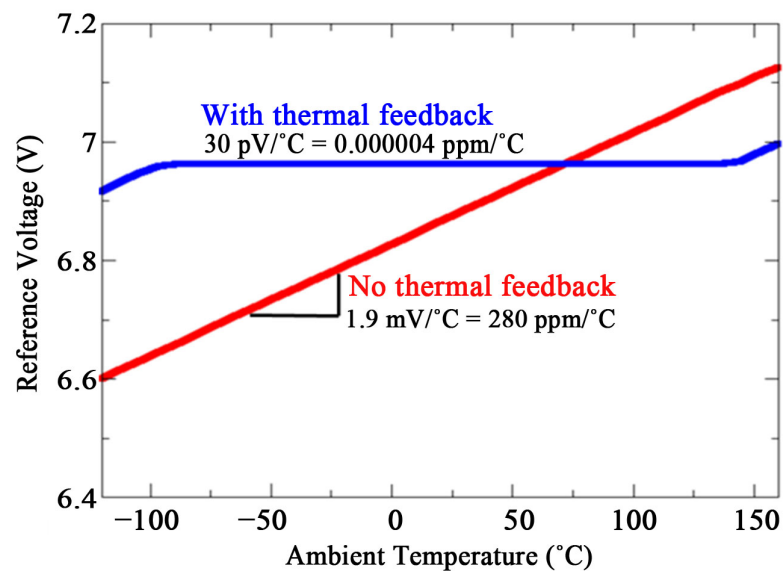


Figure 7. Comparison of simulations with and without temperature feedback

图 7. 带有温度反馈与不带温度反馈的模拟对比

Analog Devices 公司的附加注入场效应晶体管(XFET)器件是另一个商业的精密电压参考器件, 其用来测试辐射诱导下的参数退化。该电路采用与典型带隙参考类似的温度补偿方法, 但主要参考器件是 P 沟道结型场效应晶体管(JFETs) [31]。以往在 90 nm CMOS 电压参考下的 RHBD 设计技术在很大程度上依赖于使用无边缘晶体管布局和防护环来消除辐射引起的 STI 泄漏。但该设计使用了横向 PNP 型交替的晶体管来生成带隙参考电压, 并采用了基于电流源的最小化拓扑结构, 以避免运算放大器等复杂电路在辐照后的潜在参数退化。此外, 在这个设计中采用了经过验证的高精度温度调节的设计, 以提升其电压精度。由于没有对其进行辐射测试, 所以目前还不清楚该种晶体管对辐射的反应, 特别是在低剂量率下的反应。

低压 RHBD 电压参考设计的一个成功的案例是使用动态阈值 MOS 晶体管(DTMOSTs)设计的 CMOS 基准电路[32]。如图 8 所示是 DTMOST 的基本结构示意图, 该结构是一个 P 型 MOSFET, 其栅、源、漏三极均接地。DTMOST 简单来说是一个将栅极和主体连接在一起的晶体管, 其在低压和耐辐射应用中有着不俗的表现。该设计利用了 130 nm CMOS 工艺对阈值迁移的相对低灵敏度。通过使用无边布局晶体管和保护环, 参考电压的变化被限制在 ± 1.5 mV (0.8%), 最高剂量为 44 Mrad (Si), 相比之下标准布局参考的波动为 3%。虽然这些结果令人印象深刻, 然而普遍认为该设计的性能基本上依赖于 130 纳米的制造工艺[33]。换句话说, 该设计并没有利用更先进的 RHBD 模拟电路技术, 它只是阐述在 130 纳米制造工艺下获得的良好结果, 因此这种抗辐射加固技术可以被应用于加固任何制造过程中的各种模拟电路。

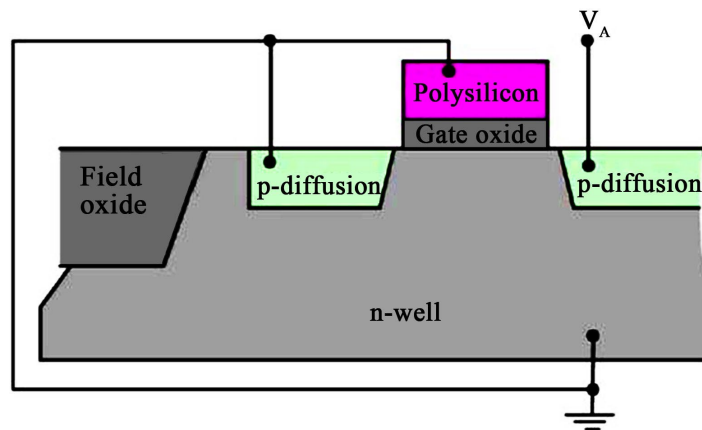


Figure 8. DTMOST structure diagram
图 8. DTMOST 结构示意图

5. 总结

总之, 近年来经过由现代纳米级 CMOS 晶体管本身的隧穿效应导致的对总剂量效应的相对不敏感性, 使得基于电路设计的抗辐射加固技术(RHBD)在总剂量效应辐射加固方面有了更多的可能性: 轨对轨输入输出的对称设计、环形栅设计以及保护环设计等均可以大大提高抗总剂量效应辐射水平。对基于商用工艺的集成电路抗辐射加固设计技术进行研究, 实现核工业领域使用的抗辐射关键元器件技术的自主可控, 对核技术的发展具有重大的意义。

参考文献

- [1] 王同权, 沈永平, 王尚武, 等. 空间辐射环境中的辐射效应[J]. 国防科技大学学报, 1999, 21(4): 36-39. http://journal.nudt.edu.cn/gfkjdxxb/ch/reader/view_abstract.aspx?file_no=199904009
- [2] Schwank, J.R. (2002) Total-Dose Effects in MOS Devices. NSREC Short Course.
- [3] Lacoe, R. (2003) CMOS Scaling: Design Principles and Hardening-by-Design Methodology. NSREC Short Course.
- [4] Barnaby, H.J. (2005) Total-Dose Effects in Modern Integrated Circuits. In: Schrimpf, R.D. and Fleetwood, D.M., Eds., *Radiation Effects and Soft Errors in Integrated Circuits and Electronic Devices*, World Scientific Publishing Company, Singapore City, 235-257. https://doi.org/10.1142/9789812794703_0015
- [5] C. Claeys, E. Simoen. 先进半导体材料及器件的辐射效应[M]. 北京: 国防工业出版社, 2008.
- [6] 田海燕, 胡永强. 体硅集成电路版图抗辐射加固设计技术研究[J]. 电子与封装, 2013, 13(9): 26-30. <https://doi.org/10.16257/j.cnki.1681-1070.2013.09.007>
- [7] Ma, T.P. and Dressendorfer, P.V. (1989) *Ionizing Radiation Effects in MOS Devices and Circuits*. John Wiley & Sons, New York, 180-220.

- [8] Neamen, D., Shedd, W. and Buchanan, B. (1972) Effects of Ionizing Radiation on Dielectrically Isolated Junction Field Effect Transistors. *IEEE Transactions on Nuclear Science*, **19**, 400-405. <https://doi.org/10.1109/TNS.1972.4326865>
- [9] Kenkare, P.U. *et al.* (1994) Scaling of Poly-Encapsulated LOCOS for 0.35 μm CMOS technology. *IEEE Transactions on Electron Devices*, **41**, 56-62. <https://doi.org/10.1109/16.259620>
- [10] Schwank, J.R., *et al.* (2008) Radiation Effects in MOS Oxides. *IEEE Transactions on Nuclear Science*, **55**, 1833-1853. <https://doi.org/10.1109/TNS.2008.2001040>
- [11] Barnaby, H.J., McLain, M. and Esqueda, I.S. (2007) Total-Ionizing-Dose Effects on Isolation Oxides in Modern CMOS Technologies. *Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms*, **261**, 1142-1145 <https://doi.org/10.1016/j.nimb.2007.03.109>
- [12] Barnaby, H.J. (2006) Total-Ionizing-Dose Effects in Modern CMOS Technologies. *IEEE Transactions on Nuclear Science*, **53**, 3103-3121. <https://doi.org/10.1109/TNS.2006.885952>
- [13] Faccio, F. and Cervelli, G. (2005) Radiation-Induced Edge Effects in Deep Submicron CMOS Transistors. *IEEE Transactions on Nuclear Science*, **52**, 2413-2420. <https://doi.org/10.1109/TNS.2005.860698>
- [14] Shaneyfelt, M.R., Dodd, P.E., Draper, B.L., *et al.* (1998) Challenges in Hardening Technologies Using Shallow-Trench Isolation. *IEEE Transactions on Nuclear Science*, **45**, 2584-2592. <https://doi.org/10.1109/23.736501>
- [15] Jun, B., Diestelhorst, R.M., Bellini, M., Espinel, G., Appaswamy, A., Prakash, A.P.G., Cressler, J.D., Chen, D., Schrimpf, R.D., Fleetwood, D.M., Turowski, M. and Raman, A. (2006) Temperature-Dependence of Off-State Drain Leakage in X-Ray Irradiated 130 nm CMOS Devices. *IEEE Transactions on Nuclear Science*, **53**, 3203-3209. <https://doi.org/10.1109/TNS.2006.886230>
- [16] Johnston, A.H., Swimm, R.T., Allen, G.R. and Miyahira, T.F. (2009) Total Dose Effects in CMOS Trench Isolation Regions. *IEEE Transactions on Nuclear Science*, **56**, 1941-1949. <https://doi.org/10.1109/TNS.2009.2019273>
- [17] 刘保军, 刘小强, 等. 纳米 CMOS 器件及电路的辐射效应[M]. 北京: 电子工业出版社, 2021.
- [18] 郭红霞, 王伟, 张凤祁, 等. 新型微电子技术电离辐射总剂量效应面临的挑战[J]. 核电子学与探测技术, 2011, 31(1): 115-119. <https://doi.org/10.3969/j.issn.0258-0934.2011.01.028>
- [19] Manghisoni, M., Ratti, L., Re, V. and Speziali, V. (2002) Radiation Hardness Perspectives for the Design of Analog Detector Readout Circuits in the 0.18- μm CMOS Generation. *IEEE Transactions on Nuclear Science*, **49**, 2902-2909. <https://doi.org/10.1109/TNS.2002.805413>
- [20] Manghisoni, M., Ratti, L., Re, V., Speziali, V., Traversi, G. and Candelori, A. (2003) Comparison of Ionizing Radiation Effects in 0.18 and 0.25 μm CMOS Technologies for Analog Applications. *IEEE Transactions on Nuclear Science*, **50**, 1827-1833. <https://doi.org/10.1109/TNS.2003.820767>
- [21] Re, V., Manghisoni, M., Ratti, L., Speziali, V. and Traversi, G. (2005) Total Ionizing Dose Effects on the Analog Performance of a 0.13- μm CMOS Technology. *IEEE Transactions on Nuclear Science*, **53**, 1599-1606. <https://doi.org/10.1109/TNS.2006.871802>
- [22] 印琴, 蔡洁明, 刘士全, 等. 集成电路总剂量加固技术的研究进展[J]. 太赫兹科学与电子信息学报, 2017, 15(1): 148-152.
- [23] 王健安, 谢家志, 赖凡. 微电子器件抗辐射加固技术发展研究[J]. 微电子学, 2014, 44(2): 225-228.
- [24] 范雪, 李威, 李平, 等. 基于环形栅和半环形栅 N 沟道金属氧化物半导体晶体管的总剂量辐射效应研究[J]. 物理学报, 2012, 61(1): 318-323.
- [25] Snoeys, W.J., Gutierrez, T.A.P. and Anelli, G. (2002) A New NMOS Layout Structure for Radiation Tolerance. *IEEE Transactions on Nuclear Science*, **49**, 1829-1833. <https://doi.org/10.1109/TNS.2002.801534>
- [26] Lacoe, R.C., Osborn, J.V., Mayer, D.C., Brown, S. and Gambles, J. (2001) 2001 *IEEE Radiation Effects Data Workshop*, Vancouver, BC, 16-20 July 2001, 72-76. <https://ieeexplore.ieee.org/document/960453> <https://doi.org/10.1109/REDW.2001.960453>
- [27] Vilella, E. and Diéguez, A. (2010) Design of a Bandgap Reference Circuit with Trimming for Operation at Multiple Voltages and Tolerant to Radiation in 90 nm CMOS Technology. *The IEEE Computer Society Annual Symposium on VLSI*, Lixouri, 5-7 July 2010, 269-272. <https://doi.org/10.1109/ISVLSI.2010.64>
- [28] Agostinho, P.R., Goncalves, O.L. and Wirth, G. (2016) Rail to Rail Radiation Hardened Operational Amplifier in Standard CMOS Technology with Standard Layout Techniques. *Microelectronics Reliability*, **67**, 99-103. <https://doi.org/10.1016/j.microrel.2016.11.001>
- [29] Rax, B.G., Lee, C.I. and Johnston, A.H. (1997) Degradation of Precision Reference Devices in Space Environments. *IEEE Transactions on Nuclear Science*, **44**, 1939-1944. <https://doi.org/10.1109/23.658965>
- [30] (2015) LTZ1000 Data Sheet. Linear Technology Corporation, Milpitas.
- [31] Franco, F.J., Zong, Y., Agapito, J.A. and Cachero, A.H. (2005) Radiation Effects on XFET Voltage References. *IEEE Radia-*

- tion Effects Data Workshop*, 2005, Seattle, 11-15 July 2005, 138-143.
- [32] Gromov, V., Annema, A.J., Kluit, R., Visschers, J.L. and Timmer, P. (2007) A Radiation Hard Bandgap Reference Circuit in a Standard 0.13 μm CMOS Technology. *IEEE Transactions on Nuclear Science*, **54**, 2727-2733.
<https://doi.org/10.1109/TNS.2007.910170>
- [33] Walters, M. and Reisman, A. (1991) Radiation-Induced Neutral Electrontrap Generation in Electrically Biased Insulated Gate Field Effect Transistor Gate Insulators. *Journal of the Electrochemical Society*, **138**, 2756-2762.
<https://doi.org/10.1149/1.2086050>