

Design and Optimization of Resonant Cavity Structure of SOI-Based RCE Photodetectors

Caili Cheng, Qianwen Liu

School of Electric Information, Hangzhou Dianzi University, Hangzhou Zhejiang

Email: 976283823@qq.com

Received: Nov. 14th, 2016; accepted: Nov. 28th, 2016; published: Dec. 5th, 2016

Copyright © 2016 by authors and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

Abstract

Due to the functional problems of CMOS photodetectors such as low quantum efficiency, narrow bandwidth and so on, this paper proposed a new resonant cavity structure compatible with SOI CMOS process to fabricate the CMOS photodetector with a higher quantum efficiency based on process optimization. By adopting the SiO₂ with the thickness of odd number of a layer of 1/4 wavelength (850 nm optical wavelength) as the bottom DBR mirror, and using the SiO₂ mirror with the thickness of an even multiple of 1/4 wavelength as the top DBR mirror, the SOI resonant cavity structure was prepared and demonstrated being suitable for the PD RCE device with the optical communication wavelength of 850 nm. Numerical simulation results showed that the PD RCE device could improve the quantum efficiency effectively compared with the PD CMOS device, which verifies the correctness of the resonant cavity structure.

Keywords

RCE Photodetector, SOI, Resonant Cavity, Quantum Efficiency

SOI基RCE光电探测器谐振腔结构的设计与优化

程彩莉, 刘倩文

杭州电子科技大学电子信息学院, 浙江 杭州

Email: 976283823@qq.com

文章引用: 程彩莉, 刘倩文. SOI基RCE光电探测器谐振腔结构的设计与优化[J]. 光电子, 2016, 6(4): 131-138.

<http://dx.doi.org/10.12677/oe.2016.64019>

收稿日期: 2016年11月14日; 录用日期: 2016年11月28日; 发布日期: 2016年12月5日

摘要

由于CMOS光电探测器存在量子效率低、工作带宽窄等性能问题,为实现更高量子效率的CMOS光电探测器,结合工艺实现性,本文构建了一种新型的SOI CMOS工艺可兼容的光电探测器谐振腔结构。基于底镜采用一层1/4波长(850 nm光波长)奇数倍厚度SiO₂,顶镜采用1/4波长偶数倍厚度SiO₂的DBR反射镜,形成的SOI基谐振腔结构适用于光通信850 nm光波长的RCE PD器件。数值仿真结果表明,RCE PD器件比CMOS PD器件提高了量子效率,验证了谐振腔结构的正确性。

关键词

RCE光电探测器, SOI, 谐振腔, 量子效率

1. 引言

随着光电探测器在光通信系统、成像系统及军事等领域的广泛应用,光电探测器件正向着高灵敏度、高性能和高集成度的方向发展。近年来,一系列高性能的PD (Photodetector)结构被研制出来,实现了很高的响应带宽、量子效率等性能[1],其中高性能PD器件结构大多与CMOS (Complementary Metal Oxide Semiconductor)工艺完全不兼容或者只能部分兼容,这严重制约光电探测器的可集成性,为光电集成电路(Opto Electronic Integrated Circuit, OEIC)的发展带来很大的困难。另一方面,光电探测器在高量子效率和高响应速度之间存在相互制约的问题。

谐振腔增强型光电探测器(resonant cavity enhanced photodetector, RCE PD)的出现,为光电探测器在高量子效率和高响应速度方面提供了一条很好的思路[2] [3],它在响应速度快、波长选择性和保证高带宽的基础上可以获得高量子效率等优势。目前,对RCE PD的研究仍是热点之一,且研究成果显著:利用RCE结构的sehottkyPD的3 dB响应带宽已做到100 GHz; Massimo Ghioni等人研制出的基于绝缘体上硅(Silicon-on-insulator, SOI)的谐振腔增强型单光子雪崩探测器(RCE-SPAD),在780 nm共振波长处,其最大探测效率可达42%,但时间分辨率就不太理想。随着RCE光电探测器的不断发展,其结构更优,性能更好。为了更好的应用谐振腔结构,本文以提高CMOS工艺可兼容的PD的量子效率等性能问题为出发点,提出了将F-P谐振微腔引入到SOI CMOS工艺中,构建一种新型的SOI基CMOS可兼容的谐振腔增强型光电探测器结构,从而为获取高响应速度、高量子效率和波长选择性探测的CMOS可集成光电探测器提供一种新的手段。

2. SOI基光电探测器谐振腔结构

常见的CMOS光电探测器结构如图1所示[4]。光从顶层射入,由于PN结耗尽层为光的吸收层,所以利用效率很低。针对这种情况,本文提出了如图2所示的SOI基光电探测器谐振腔结构。谐振腔由反射底镜和反射顶镜构成,反射镜采用DBR (Distributed Bragg Reflector)结构。为更好实现谐振腔和CMOS工艺的兼容性,降低工艺难度和节约成本,选择工艺比较成熟的Si-Air、Si-SiO₂多层介质膜体系。

图2中,反射底镜多层介质膜采用SiO₂-Si-SiO₂多层薄膜来构成,反射顶镜多层介质膜采用SiO₂-Si-SiO₂多层薄膜构成,这样可以极大保证反射镜与CMOS工艺的兼容性。置于PD两端的上、下DBR反射镜构成了F-P谐振微腔即RCE光电探测器的谐振腔[5]。

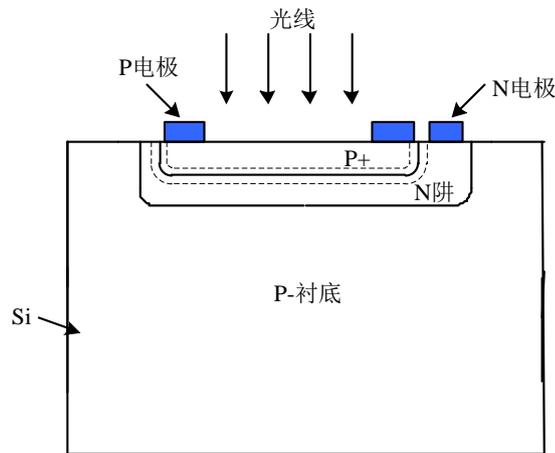


Figure 1. PD CMOS structure diagram
图 1. CMOS PD 结构图

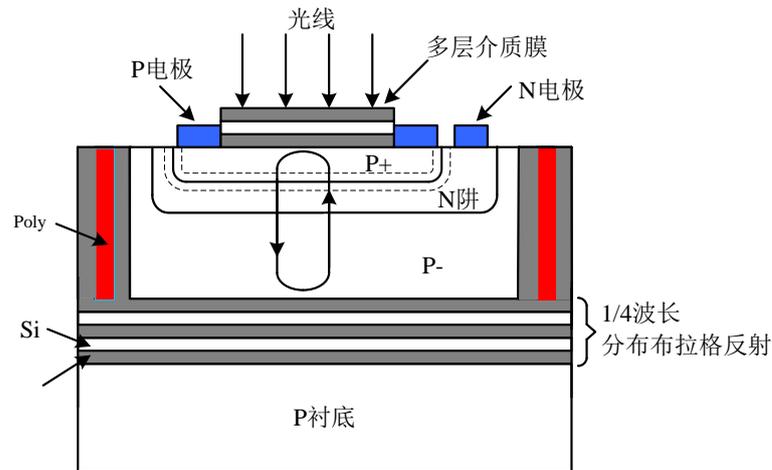


Figure 2. PD RCE technology based on CMOS SOI
图 2. 基于 SOI CMOS 工艺的 RCE PD

3. DBR 结构优化

良好的 DBR 结构可以有效的提高 PD 器件性能。DBR 反射镜的品质对整个器件的性能有决定性影响，其材料、结构等因素直接决定器件的光谱响应。因此，在 DBR 的结构优化过程中要考虑反射谱的中心波长与 RCE 腔的谐振波长是否匹配，以获得合适的反射率保证器件性能。因本文采用的堆栈结构由 Si-SiO₂

对组成，运用光学传输矩阵法对反射镜的光学特性展开分析研究，矩阵 $\begin{bmatrix} \cos \delta_1 & \frac{i}{\eta_1} \sin \delta_1 \\ i\eta_1 \sin \delta_1 & \cos \delta_1 \end{bmatrix}$ 称为单层膜

的特征矩阵，它包含了薄膜的全部有用的参数，其中 $\begin{bmatrix} \cos \delta_1 & \frac{i}{\eta_1} \sin \delta_1 \\ i\eta_1 \sin \delta_1 & \cos \delta_1 \end{bmatrix}$ ， $\eta_1 = n_1 / \cos \theta_1$ 。由矩阵表达

式可知，当薄膜的有效光学厚度为 1/4 波长的整数倍时，即 $nd \cos \theta = m \frac{\lambda_0}{4}$ ($m = 1, 2, 3, \dots$) 在参考波长处会出现极值。对于多层膜的反射率，如公式(1)所示。

$$R = \left(\frac{\eta_0 B - C}{\eta_0 B + C} \right) \left(\frac{\eta_0 B - C}{\eta_0 B + C} \right)^* \quad (1)$$

式中 R 为反射率, η_0 为空气折射率, 膜系的特征矩阵为

$$\begin{bmatrix} B \\ C \end{bmatrix} = \left\{ \prod_{j=1}^K \begin{bmatrix} \cos \delta_j & \frac{i}{\eta_j} \sin \delta_j \\ i \eta_j \sin \delta_j & \cos \delta_j \end{bmatrix} \right\} \begin{bmatrix} 1 \\ \eta_{K+1} \end{bmatrix} \quad (2)$$

(2)式膜层的位相厚度是 $\delta_j = \frac{2\pi}{\lambda} n_j d_j \cos \theta_j$, $\eta_j = n_j / \cos \theta_j$, 矩阵 $\begin{bmatrix} \cos \delta_j & \frac{i}{\eta_j} \sin \delta_j \\ i \eta_j \sin \delta_j & \cos \delta_j \end{bmatrix}$ 为第 j 层膜的

特征矩阵(n_j 是 j 层膜的折射率)。在对反射镜反射率理论分析的基础上, 开展对反射底镜和反射顶镜多层介质膜结构分析, 包括 SiO_2 - Si - SiO_2 薄膜层数、薄膜厚度等数值仿真分析。

3.1. DBR 底镜

图 3 给出单层 SiO_2 作为底镜的反射率与 SiO_2 厚度的数值仿真结果。随 SiO_2 底镜厚度随 1/4 波长的倍数增加, 底镜反射率在 1/4 波长奇数倍厚度时取到极大值, 1/4 波长偶数倍厚度时取到极小值, 这与单层介质膜的反射率随其光学厚度的变化关系表现的趋势保持一致, 但随 SiO_2 底镜厚度增加, 中心波长附近的响应谱变窄。图 4 给出了多层 SiO_2 - Si 作为底镜的反射率与 SiO_2 - Si 层数的关系。随 Si - SiO_2 对数的增加, 反射镜的反射率增加, 同时中心波长附近的响应谱变宽。考虑到在 DBR 反射镜工艺实现过程中, 对生长 SiO_2 和 Si 层的厚度有严格要求, 反射镜的每一层在生长过程中都会存在误差, 生长的厚度及层表面均匀性、平整性等都是难以得到精确控制。因此, 若顶镜和底镜的 Si - SiO_2 层的对数较多, 其将对工艺提出更高的要求才可实现, 且误差也会加大。本设计主要考虑如何在 SOI 工艺基本流程不改变的情况下, 通过适当改变一些工艺参数, 从而达到适合于 SOI CMOS 工艺的最优化 RCE 光电探测器结构。综合考虑, 本设计中反射底镜在工艺可实现情况下可选取一对 Si - SiO_2 膜。

3.2. DBR 顶镜

图 5 给出单层 SiO_2 作顶镜时, 顶镜反射率与单层 SiO_2 厚度的关系。从图 5 中可看出, 1/4、1/2 和 3/4 波长厚度的 SiO_2 反射顶镜的反射率分别为 5.4% (850 nm 光波长)、30.0% 和 5.4%。随着 SiO_2 顶镜厚度增加, 中心波长附近的响应谱变窄了。由于顶镜上面为空气层, 当多层 SiO_2 - Si 作顶镜时, 需考虑多层结构的最上层既可是 SiO_2 也可是 Si 材料。图 6 给出了顶镜反射率与 SiO_2 - Si 层数的关系, 可看出在中心波长为 850 nm 处, 一对 SiO_2 - Si 构成的 DBR 反射镜为 80.1%, 比单层 SiO_2 的反射率大大提高, 而 SiO_2 - Si - SiO_2 构成的 DBR 反射镜的反射率下降至 63.4%, 多层 SiO_2 - Si 结构最上层为 1/4 波长厚度 SiO_2 会对中心波长的反射率起到抑制作用。考虑到入射光要通过顶镜进入谐振腔, 顶镜要具有半反半透的特性, 因此反射率不能取太高, 这里选择一层 SiO_2 作为顶镜, 厚度为 1/4 波长偶数倍厚度, 反射率为 30.0%。

4. 优化的谐振腔结构

由上节可知, RCE PD 中 DBR 反射镜反射率与各层膜厚度、膜层数等有密切的关系。考虑 SOI 工艺兼容性, 本设计中底镜只能采用一层 SiO_2 , 所以厚度为 1/4 波长奇数倍厚度, 反射率为 47.8% (在 850 nm 光波长处); 同时选择一层 SiO_2 作为顶镜, 厚度为 1/4 波长偶数倍厚度, 反射率为 30.0%。该 SOI RCE 光电探测器的谐振腔示意图如图 7 所示。

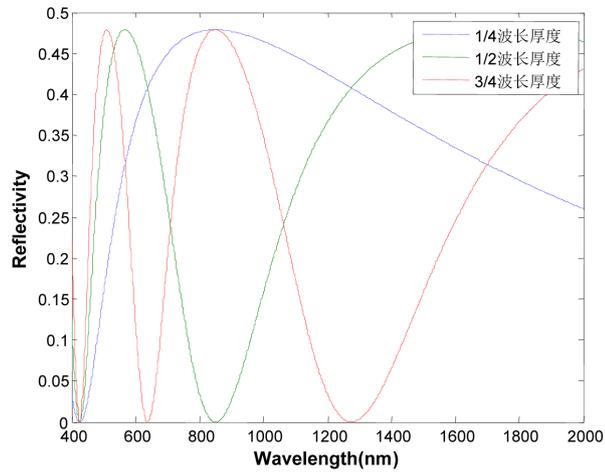


Figure 3. The bottom mirror reflectivity with the thickness of SiO₂ single-layer
图 3. 底镜反射率与单层 SiO₂ 厚度关系

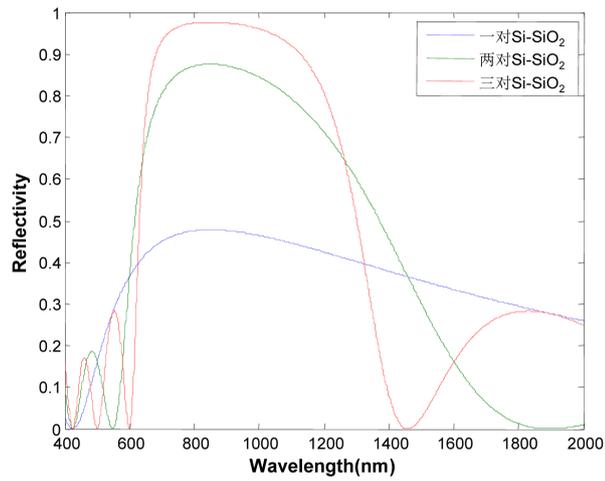


Figure 4. The bottom mirror reflectivity and SiO₂-Si logarithmic relationship
图 4. 底镜反射率与 SiO₂-Si 对数的关系

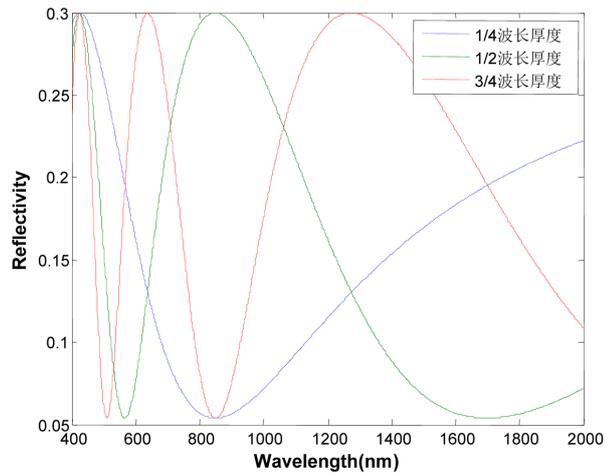


Figure 5. The top mirror reflectivity with the thickness of SiO₂ single-layer
图 5. 顶镜反射率与单层 SiO₂ 厚度关系图

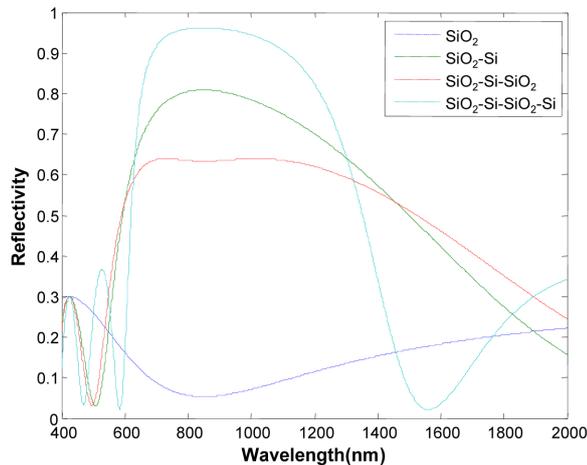


Figure 6. The top mirror reflectivity and SiO₂-Si layer diagram
图 6. 顶镜反射率与 SiO₂-Si 层数的关系图

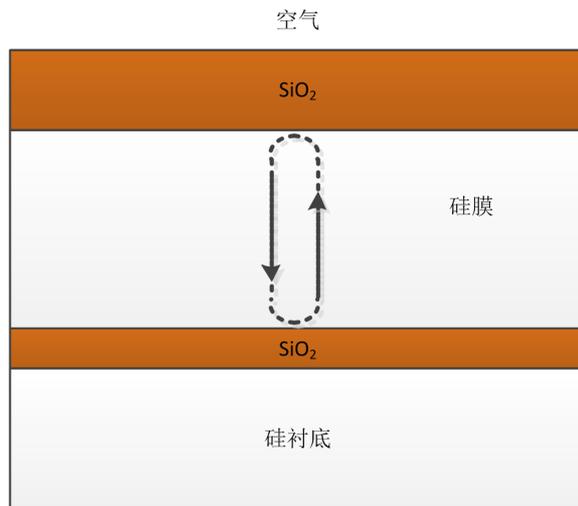


Figure 7. Resonator structure in CMOS-based CMOS RCE photodetectors
图 7. 以 CMOS 为主的 CMOS RCE 光电探测器的谐振腔结构

量子效率体现了器件光电转换的效率。可以从以下两点提高量子效率：提高耗尽层的吸收效率(如加入谐振腔结构)；增加少子寿命以减少电子空穴对的复合。文中提出了 SOI 基谐振腔，可以有效的提高耗尽层的吸收效率。通过理论推导和整理，量子效率可表示为

$$\eta = \frac{(1-r_1^2) \left[(e^{-\alpha x} - e^{-\alpha b}) + r_2^2 (e^{-\alpha(2L-xb)} - e^{-\alpha(2L-xt)}) + \frac{\alpha}{\beta} r_2^2 e^{-\alpha L} (\sin(\varphi_2 + 2\beta(L-xt)) - \sin(\varphi_2 + 2\beta(L-xb))) \right]}{1 + r_1^2 r_2^2 e^{-2\alpha L} - 2r_1 r_2 e^{-\alpha L} \cos(2\beta L + \varphi_1 + \varphi_2)} \quad (3)$$

(3)式中 β 为传输常数； φ_1 、 φ_2 ， r_1 、 r_2 分别为上、下反射镜的反射相移和反射率； L 为吸收层厚度。推导过程忽略了薄膜材料折射率的色散问题以及在谐振腔的不同区域折射率及吸收系数的不同。

以普通 CMOS 光电探测器为分析对象，进行了有/无谐振腔的性能对比。这里硅膜取 186.4 nm (3/4 个波长)，埋氧厚度取 140 nm (1/4 波长)，介质层厚度取 280 nm (1/2 波长)，耗尽层厚度由标准 SOI CMOS 工艺掺杂注入确定，不做调整，最大可能性的保证工艺兼容性。图 8 给出了耗尽层宽度 0.03 μm 时，(SiO₂)-(SiO₂)谐振腔 PD 器件量子效率随波长的关系图。

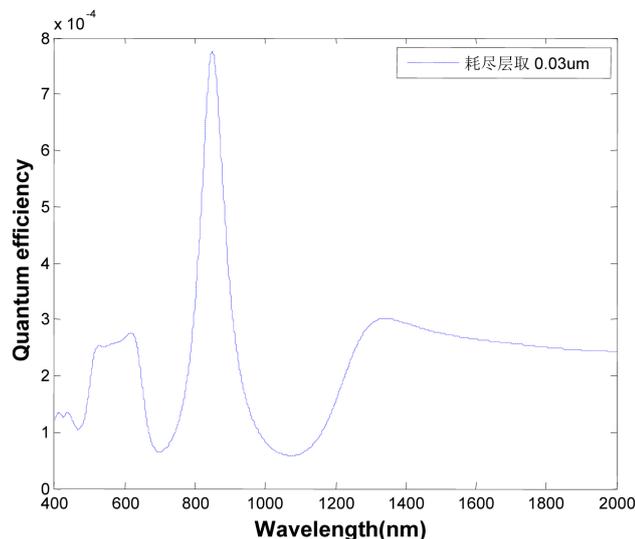


Figure 8. $(\text{SiO}_2)\text{-}(\text{SiO}_2)$ cavity PD device quantum efficiency with the relationship between the wavelength (depletion layer width $0.03\ \mu\text{m}$)

图 8. $(\text{SiO}_2)\text{-}(\text{SiO}_2)$ 谐振腔 PD 器件量子效率随波长的关系(耗尽层宽度 $0.03\ \mu\text{m}$)

Table 1. Performance comparison of PD CMOS devices with standard PD RCE devices

表 1. RCE PD 器件与标准 CMOS PD 器件性能对比

性能参数	耗尽层宽度	谐振腔 PD 器件	标准 CMOS PD 器件
量子效率	$0.03\ \mu\text{m}$	0.775×10^{-3}	1.80×10^{-4}
	$0.06\ \mu\text{m}$	1.5×10^{-3}	3.60×10^{-4}
	$0.09\ \mu\text{m}$	2.3×10^{-3}	5.40×10^{-4}

表 1 给出谐振腔 PD 器件与标准 CMOS PD 器件的量子效率对比数据, 其中标准 CMOS PD 器件和谐振腔 PD 器件的硅膜 CMOS 加工工艺一致, 可认为两者的工作带宽一致。从表中数据分析可得, 谐振腔 PD 器件比 CMOS PD 器件的量子效率提高了五倍左右, 实现了谐振腔 PD 器件相较于标准 CMOS PD 器件提高光电探测器量子效率的性能, 证明了谐振腔结构的正确性。

5. 结论

本文提出了一种新型的 SOI CMOS 工艺可兼容的 $(\text{SiO}_2)\text{-}(\text{SiO}_2)$ 谐振腔结构。利用不同厚度的 SiO_2 薄膜作为 DBR 反射镜构建谐振腔结构的物理模型, 通过理论仿真计算了其反射率特性和量子效率。在考量工艺实现性的基础上, 最终确定器件结构为: 底镜采用一层 $1/4$ 波长 ($850\ \text{nm}$ 光波长) 奇数倍厚度 SiO_2 , 顶镜采用 $1/4$ 波长偶数倍厚度 SiO_2 , 该新型的 SOI 基谐振腔可用于实现高量子效率的 SOI 基 RCE 光电探测器。数值仿真结果表明基于优化 DBR 结构的 RCE PD 器件比 CMOS PD 器件的量子效率提高了五倍左右, 验证了谐振腔结构的正确性。

尽管 RCE PD 比普通 PD 有优势, 但在实际应用中仍有缺陷, 主要原因有以下两点: 1) 近年研究成果显示, 现有的 RCE PD 已具备高响应度、结构紧凑等特性, 但仍有部分特性没有很好体现; 2) 高性能 RCE 光电探测器成本高昂, 制作工艺难度比较大, 难以实现商业集成化生产。这些问题及挑战构成了 RCE 光电探测器研究的重点。因此, 本文对 RCE PD 的材料、结构及工艺实现等特性的进一步分析研究具有一定的指导和现实意义。

参考文献 (References)

- [1] 江文杰, 曾学文, 施建华. 光电技术[M]. 北京: 科学出版社, 2009: 1-7.
- [2] Li, G., Maekita, K., Mitsuno, H., *et al.* (2015) Over 10 GHz Lateral Silicon Photodetector Fabricated on Silicon-on-Insulator Substrate by CMOS-Compatible Process. *Japanese Journal of Applied Physics*, **54**.
<https://doi.org/10.7567/jjap.54.04dg06>
- [3] El-Batawy, Y.M. and Medhat, M. (2015) Biasing Dependent Circuit Modeling and Optimization of Resonant Cavity Enhanced PIN Photodetectors (RCE-PIN-PDs). *International Symposium on Photonics and Optics*, International Society for Optics and Photonics, **9656**.
- [4] 陈永权. CMOS 兼容光电探测器及接收机模拟研究与设计[D]: [硕士学位论文]. 天津: 天津大学, 2004.
- [5] Knodl, T., Choy, H.K.H., Pan, J.L., King, R., Jager, R., Lullo, G., *et al.* (1998) RCE Photodetectors Based on VCSEL Structures. *IEEE Photonics Technology Letters*, **11**, 1289-1291. <https://doi.org/10.1109/68.789720>

期刊投稿者将享受如下服务:

1. 投稿前咨询服务 (QQ、微信、邮箱皆可)
2. 为您匹配最合适的期刊
3. 24 小时以内解答您的所有疑问
4. 友好的在线投稿界面
5. 专业的同行评审
6. 知网检索
7. 全网络覆盖式推广您的研究

投稿请点击: <http://www.hanspub.org/Submission.aspx>

期刊邮箱: oe@hanspub.org