Open Journal of Circuits and Systems 电路与系统, 2025, 14(3), 43-53
Published Online September 2025 in Hans. https://www.hanspub.org/journal/ojcs
https://doi.org/10.12677/ojcs.2025.143005

Hans汉斯

基于冗余通信机制的LED驱动芯片可靠性提升设计

洪甸融[1]，李政林[1]，方志杰[2]，李家栋[3]

[1]广西科技大学自动化学院，广西 柳州
[2]广西科技大学电子工程学院，广西 柳州
[3]深圳市绿源半导体有限公司，广东 深圳

收稿日期：2025年8月8日；录用日期：2025年9月1日；发布日期：2025年9月8日

摘　要

随着LED显示技术发展，市场对LED显示可靠性提出了更高要求，现有的内封IC的LED驱动芯片有串联、并联、断点续传等多种驱动方式，在LED显示上出现连续多个坏点、或间断坏点时，会出现大片黑的现象。本文提出一种冗余通信机制提升LED驱动芯片在级联过程中的可靠性，在出现虚焊、坏点时，能够尽可能保证传输通路的完整性。与现有的LED驱动芯片级联方式相比，本文提出的设计结合了串行、并行级联特性，可以在连续多个坏点下，保证其余LED驱动芯片的正常工作。在每个LED驱动芯片上设置地址，并增加多种校验功能，提升了可靠性。仿真测试验证结果证明了系统的可靠性。

关键词

LED驱动芯片，冗余通信机制，可靠性

Reliability Improvement Design of LED Driver Chip Based on Redundant Communication Mechanism

Dianrong Hong[1], Zhenglin Li[1], Zhijie Fang[2], Jiadong Li[3]

[1]Collegeof Automation, Guangxi University of Science and Technology, Liuzhou Guangxi
[2]College of Electronic Engineering, Guangxi University of Science and Technology, Liuzhou Guangxi
[3]Shenzhen Green Wellspring Semiconductor Technology Ltd., Shenzhen Guangdong

Received: Aug. 8th, 2025; accepted: Sep. 1st, 2025; published: Sep. 8th, 2025

文章引用: 洪甸融, 李政林, 方志杰, 李家栋. 基于冗余通信机制的 LED 驱动芯片可靠性提升设计[J]. 电路与系统, 2025, 14(3): 43-53. DOI: 10.12677/ojcs.2025.143005

Abstract

With the development of LED display technology, the market has put forward higher requirements for the reliability of LED display. The existing LED driver chips of inner sealed IC have a variety of driving modes, such as series, parallel, breakpoint continuation and so on. When there are continuous or intermittent bad points on the LED display, there will be a large black phenomenon. This paper proposes a redundant communication mechanism to improve the reliability of LED driver chip in the cascading process, which can ensure the integrity of the transmission path as much as possible in the case of faulty soldering and bad points. Compared with the existing LED driver chip cascading mode, the design proposed in this paper combines the characteristics of serial and parallel cascading, which can ensure the normal operation of other LED driver chips under the continuous multiple bad points. The address is set on each LED driver chip, and a variety of verification functions are added to improve the reliability. The results of simulation test verify the reliability of the system.

Keywords

LED Driver Chip, Redundant Communication Mechanism, Reliability

Copyright © 2025 by author(s) and Hans Publishers Inc.
This work is licensed under the Creative Commons Attribution International License (CC BY 4.0).
http://creativecommons.org/licenses/by/4.0/
Open Access

1. 引言

小间距 LED 显示屏于 2016 年实现了爆发性的进展，这得益于企业对研发的高度重视，使得产品间距得到了前所未有的改进，增强了显示性能，同时也带动了行业内对此类产品需求的暴增[1]。近年来，随着技术的进步与市场需求的增长，中国 LED 显示屏行业经历了显著的发展阶段。特别是在 2010 年，中国在全球 LED 显示行业中占据了超过 80%的市场份额，至 2019 年，国内 LED 显示屏产业规模已突破 600 亿人民币大关，同时，中国在全球制造产能中所占比例提升至 85%，在此期间，中国的标准逐渐成为该领域的规范基础[2] [3]。根据预估统计，2023 年全球透明显示屏市场销售额达到 3.85 亿美元，预计 2029 年将达到 6.51 亿美元，年复合增长率(CAGR)为 9.12% (2023~2029) [4]。

随着科技发展，电子产品高性能化和高集成化成为行业发展必然趋势[5]，LED 显示屏的驱动电路是其核心部件之一，其可靠性会直接影响到图像质量、设备寿命及用户体验[6]。针对现有的 LED 驱动芯片在面对多个连续坏点时，出现传输通路失效、显示大面积变黑的情况，单线双向传输方式和双线双向传输方式，在面对不连续两个坏点时，坏点之间的传输通路存在失效的情况；断点续传传输方式，在面对连续 3 个以上的坏点时，会出现坏点后传输通路失效状况[7]-[11]，本文提出基于冗余通信机制的 LED 驱动芯片可靠性提升设计。

2. 基于冗余通信机制的 LED 驱动芯片系统架构

2.1. 系统架构

为保证 LED 驱动芯片的传输稳定，使用基于冗余通信机制的 LED 驱动芯片可靠性提升设计，驱动芯片架构图如图 1，它由多个模块组成，协同工作实现数据的接收、处理、地址烧录和显示。时钟切换模

块接收两个时钟信号(clk1 和 clk2)，用于选择或匹配不同的时钟源，输入数据格式为 RZ 编码(归零码)，冗余通信模块接收信号 pi 和 si 信号进行 RZ 解码后，然后进行数据校验以及数据通路切换处理，提高数据传输的可靠性。编码后的数据通过解码、模式识别解析后，选择使能地址烧录模块或显示模块。地址烧录模块用于配置芯片的地址，并从 addr_add 输出自身地址加一的地址配置命令，用于下一级联芯片地址配置。显示模块对 RZ 码解码后的数据进行格式转换后驱动 LED 显示。系统上电或复位时，初始化系统状态。sdo 是将接收的信号 pi、si 和地址配置信号 addr_add 转发输出。

系统状态机如图 2，系统复位初始状态在帧头识别，接收满帧头数据的长度时，系统开始比对帧头跟

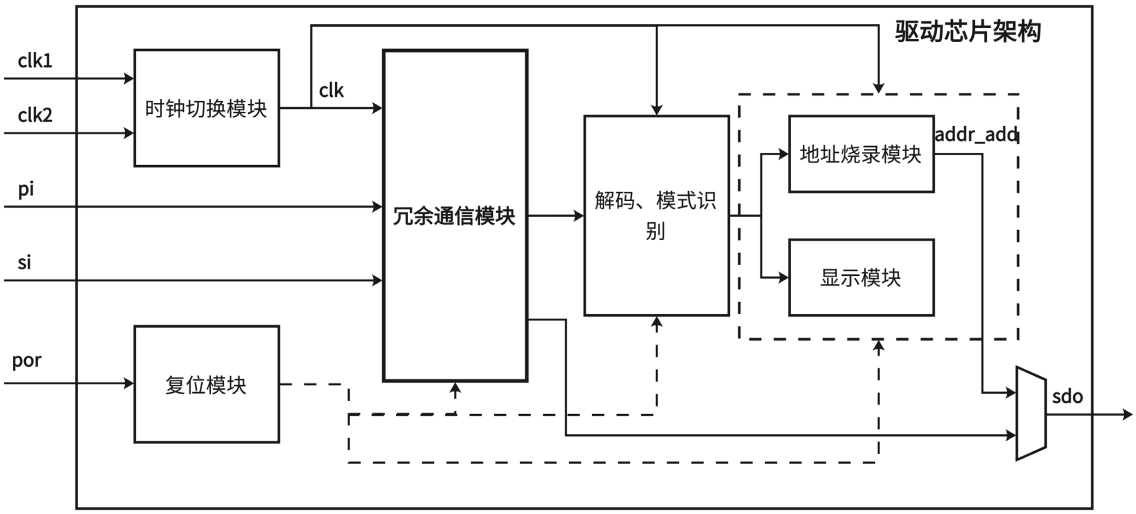

Figure 1. Driver chip architecture
图 1. 驱动芯片架构图

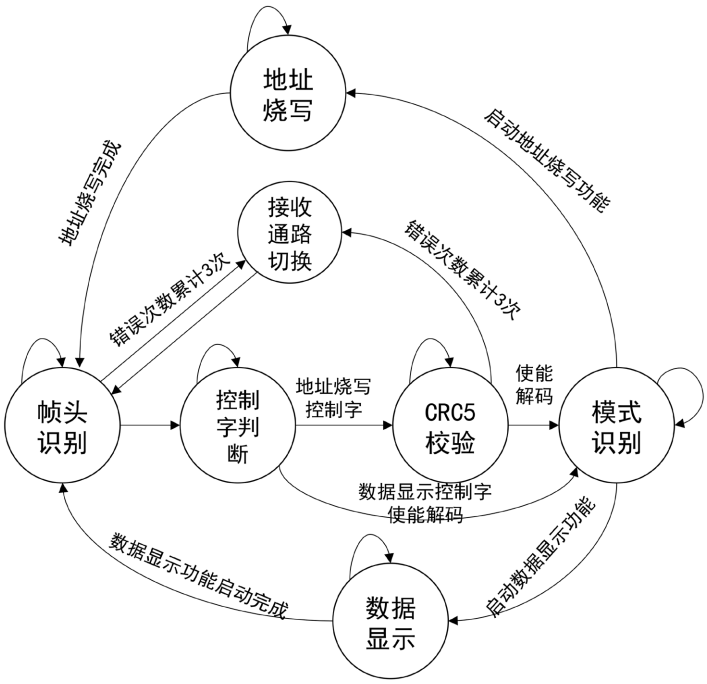

Figure 2. State transition diagram of redundant communication mechanism
图 2. 冗余通信机制状态转移图

系统预设值是否一致，如果识别错误，重新接收数据，如果比对成功，进入控制字判断阶段，将紧根据帧头之后的控制字进行判别，如果是地址烧写控制字，则进入 CRC5 校验阶段，地址烧写要谨慎对待，CRC5 校验主要是对地址烧写的地址号进行校验，校验完成后进入模式识别状态，如果控制字判断是数据显示控制字，则进入模式识别状态，模式识别状态会根据控制字判断来解析数据包，如果是地址烧写控制字，则状态跳转至地址烧写状态，进行地址烧写配置，烧写完成后回到帧头识别状态，如果控制字判断是数据显示控制字，模式识别模块解析数据包后启动数据显示功能，然后跳转回到帧头识别状态。

2.2. 时钟切换模块与复位模块、RZ 码解码

在传统的组合逻辑时钟切换电路中(例如简单的 AND-OR 门实现)，当选择信号切换时，若两个时钟源存在相位重叠或电平变化的不确定性，输出端可能短暂同时导通或断开，导致毛刺，这些毛刺在时钟信号上是有害的，因为它们可能会错误地触发系统中某些寄存器的边沿，而其他寄存器则可能没有被正确触发。

时钟切换模块是为了匹配不同的时钟频率，如图 3，有两个时钟源 CLK16M 时钟和 CLK8M 时钟，out_clock 为时钟切换后的输出，该结构在时钟切换过程中能起到去毛刺的作用[12]，选择信号(sel)被两级触发器同步到目标时钟域。第一级触发器用于跨时钟域同步(如从控制逻辑域到时钟域)，防止亚稳态传播；第二级触发器确保切换动作在目标时钟的特定边沿(如下降沿)触发，避免在时钟高电平时发生切换。在切换过程中，先禁用当前时钟的使能信号，再启用新时钟的使能信号，确保旧时钟完全关闭后，新时钟才被激活，避免两者同时有效。

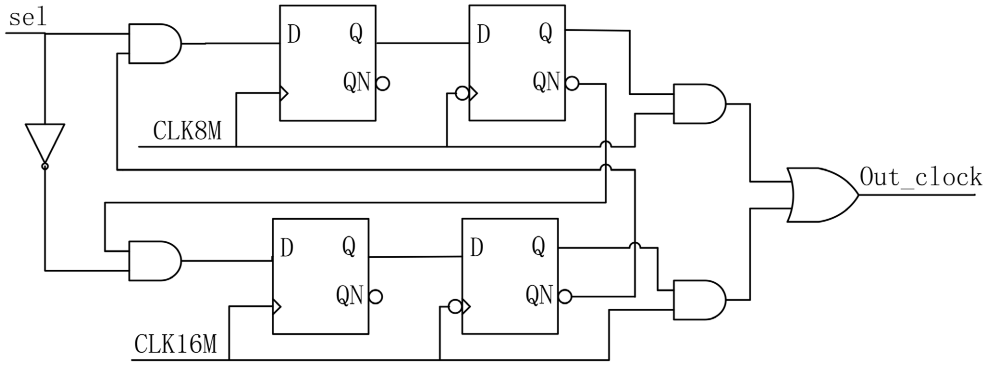

Figure 3. Clock switching module
图 3. 时钟切换模块

复位模块采用异步复位，直接使用异步复位可能会引发亚稳态问题，影响电路的稳定性和可靠性。采用三级同步器的设计方法来确保复位信号正确地被接收和处理，让异步复位信号通过一个独立的同步器链，使其与时钟同步，然后再作用于整个电路，降低亚稳态发生概率，在时钟上升沿来时，采集复位信号 por。

传输格式使用如图 4 的 RZ 码(归零码)，RZ 码主要特点是在每一位数据传输结束后都会回到零电平状态，从而使得接收端更容易进行时钟同步和数据恢复。0 码的 TH 占空比较 1 码 TH 的占空比小，本文使用 RZ 码格式如表 1 所示，复位时间为低电平保持 100 us；解码关键在于 RZ 码的采集点，调节 0 码的 TH 和 1 码的 TH 宽度使得在采集点采集到的 0 码为低电平，1 码为高电平。

RZ 码解码电路结果如图 5，通过一个移位寄存器 sft_reg 采集数据 Data_in，利用 stf_reg [1]取反后与 stf_reg [2]相逻辑与来采集上升沿，上升沿输出 posedge_out 作为计数器 CNT 的复位信号，当计数器计数

到第 5 个时钟周期时，采集 stf_reg [2]的值输出解码信号 rz_decode_out，通过计数器采集的采集点可以根据 RZ 码宽度灵活配置。

Table 1. RZ code format
表 1. RZ 码格式

RZ 码	TH	TL
0 码	100~300 ns	900~2000 ns
1 码	500~700 ns	500~1600 ns
复位	0	>100us

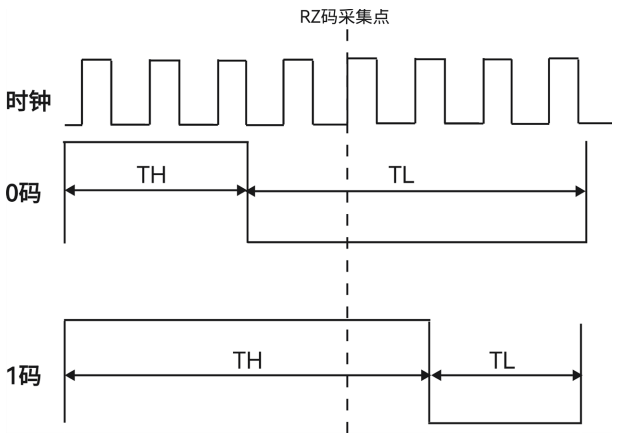

Figure 4. RZ code format
图 4. RZ 码格式

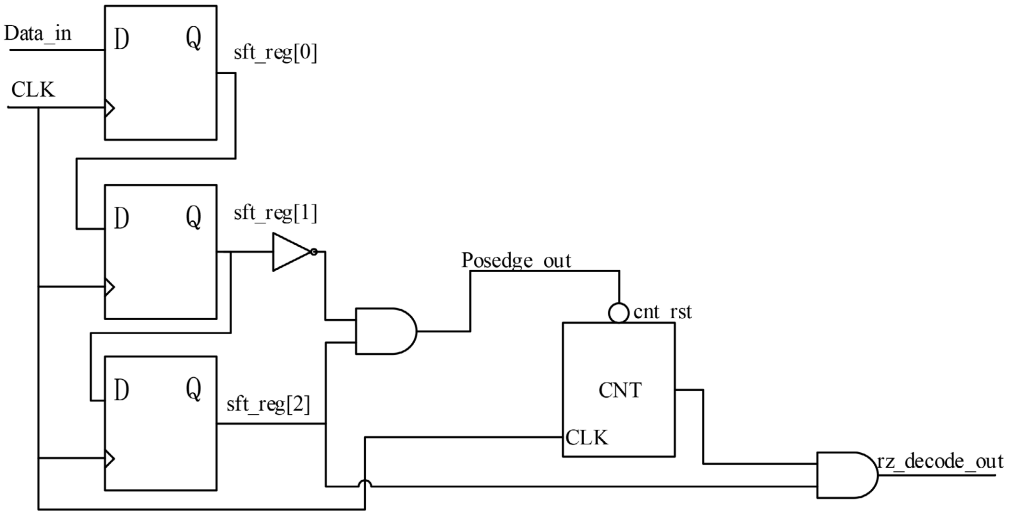

Figure 5. Decoding circuit structure
图 5. 解码电路结构

2.3. 冗余通信模块

在 LED 驱动芯片使用过程中，输入通道可能存在虚焊、干扰、和一些物理因素导致通路断开，采用冗余通信模块来保证 LED 的正常显示[13]，如图 6，根据对两个传输端口 pi、si 的数据采取输入数据检

测切换模块的处理，通过对数据的帧结构的识别(Frame Header Check)、CRC5 校验(CRC5 Check)后，进行 si 连接端口与 pi 连接端口切换传输数据至芯片内部显示部分。通过内部的数据检测切换模块的设计，在设备自身发生损坏、设备与设备之间的连线出现损坏以及设备与数据总线之间的连线发生损坏时，可以从未损坏的另一个数据端口进行数据传输，如果两个传输口都损坏，则传输固定电平信号，在接收端口信号时，若在 50 ms 内没有信号，看门狗会进行一次翻转切换至另一端口，大大提升了传输系统的可靠性。

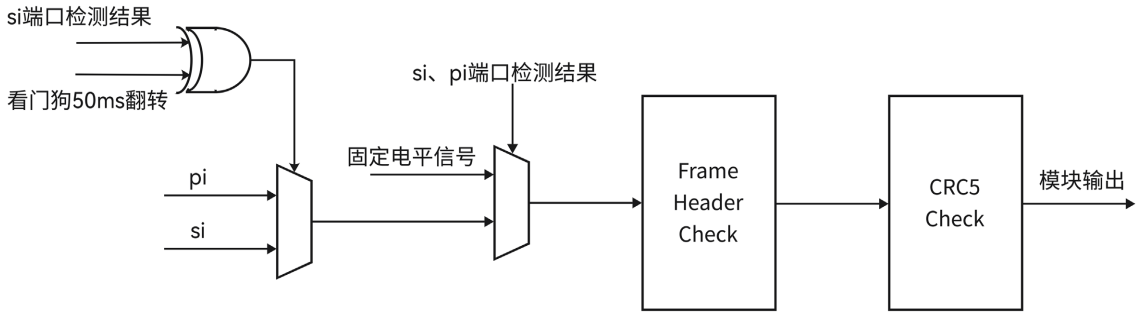

Figure 6. Main architecture of redundant communication module
图 6. 冗余通信模块主要架构

在校验状态下，控制包格式如图 7，帧头检测功能是根据发送的帧头，跟内部预设值进行比较校验，例如发送帧头 10’b{header}，在内部把 header 跟预设值进行比对，由于 LED 驱动芯片烧写地址需要谨慎处理，使用 CRC5 校验来保障地址正确烧写，把接收到包里配置包进行 CRC5 校验，校验结果跟数据包里的 CRC5 进行比对。

CRC 的检查有计算法和查表法。对于硬件实现来说，计算法更省资源，CRC 的计算采用并行方式，并行方式是每次输入一组并行数据，同时产生出 CRC 结果，并行方式处理相比于串行处理速度较快[14]。如图，通过对数据的缓存，在帧头校验通过后将配置包送入 CRC5_CHECK 校验模块当中，CRC-5 使用标准多项式 x5 + x2 + 1，对应的二进制表示为 100101 (最高次幂为 5，因此是 6 位)，烧写地址为 9 位，CRC5_CHECK 校验模输入为 9 位输出为 5 位，并行 crc5 每位输出计算如表 2 所示，data_in 为输入数据，crc5_out 初值设置为 5’b11111。

Figure 7. Control package format
图 7. 控制包格式

Table 2. Calculation formula for each check code of CRC5
表 2. CRC5 每位校验码计算公式

crc 校验结果输出	计算公式
crc5_out[0]	crc5_out[1]^crc5_out[2]^data_in[0]^data_in[3]^data_in[5]^data_in[6]
crc5_out[1]	crc5_out[0]^crc5_out[2]^crc5_out[3]^data_in[1]^data_in[4]^ data_in[6]^data_in[7]
crc5_out[2]	crc5_out[2]^crc5_out[3]^crc5_out[4]^data_in[0]^data_in[2]^data_in[3]^data_in[6]^data_in[7] ^data_in[8]
crc5_out[3]	crc5_out[0]^crc5_out[3]^crc5_out[4]^data_in[1]^data_in[3]^data_in[4]^data_in[7]^data_in[8]
crc5_out[4]	crc5_out[0]^crc5_out[1]^crc5_out[4]^data_in[2]^data_in[4]^data_in[5]^data_in[8]

CRC5 硬件电路如图 8 所示，crc5 的生成多项式 G(x) = x5 + x2 + 1，二进制表示为 100101，data_in[8:0]为输入待校验数据，rst 为输出寄存器的复位信号，clk 为输出寄存器的时钟信号，crc_en 为寄存器使能信号，复位后 crc5_out[4:0]初始值为 5’11111，当 data_in[8:0] 9 位数据准备好后，crc_en 信号拉高使能，crc5_out[4:0]通过异或门与 data_in[8:0]做异或运算，一拍就能计算出 crc5 校验码，通过 crc5_out 输出。

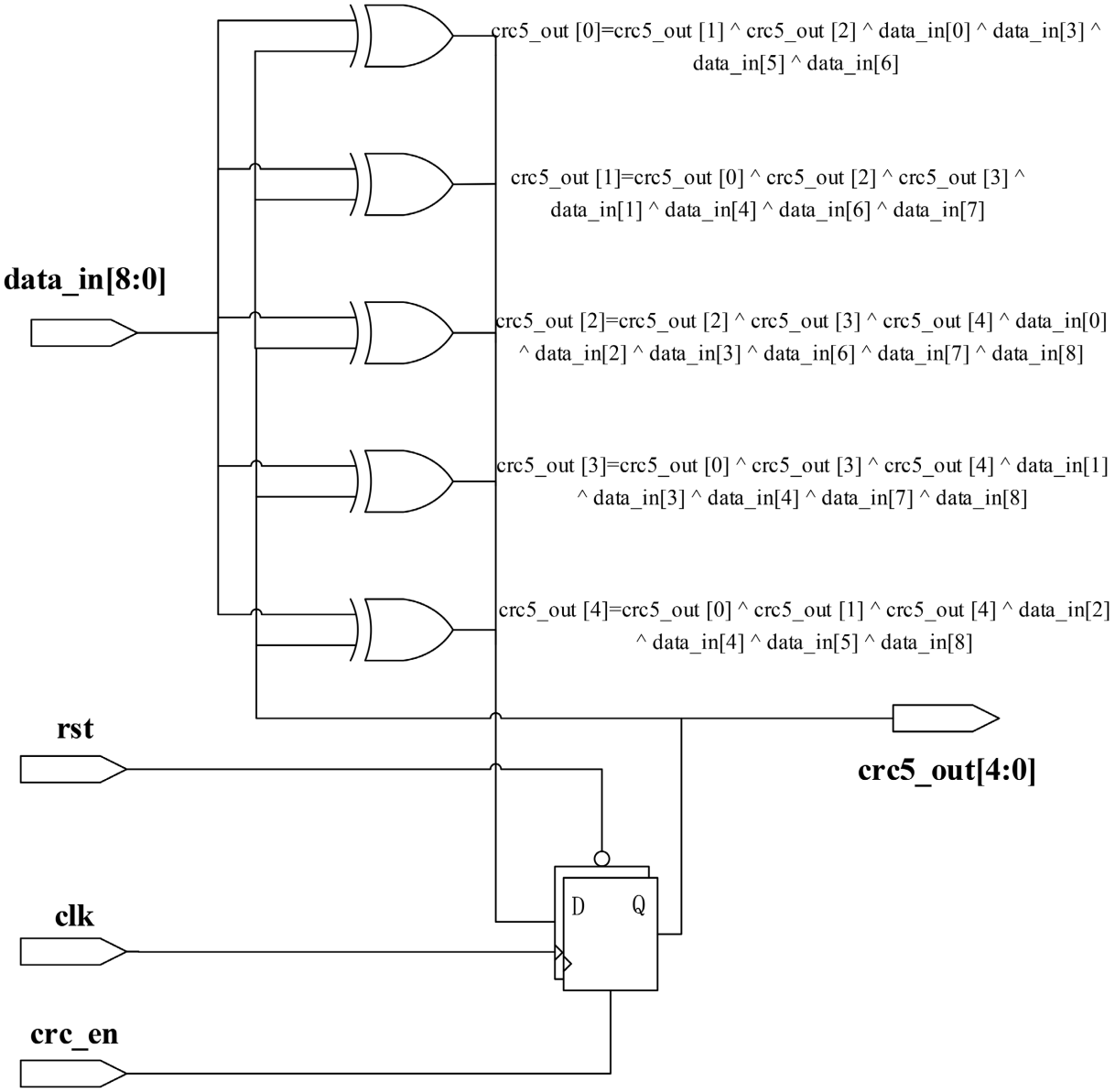

Figure 8. CRC5 verification hardware circuit
图 8. CRC5 校验硬件电路

CRC5 校验数据流如图 9，通过并行计算只需要一个时钟周期就能校验完成，校验码计算输出 crc5_out 与控制包里的 crc5 校验码对比产生校验结果，根据实际经验，如果帧头错误次数与 crc 校验错误等于 3 次，则切换到另一条传输通路(如果接收 si 端数据错误 3 次，切换到 pi 端；接收 pi 端数据错误 3 次，切换到 si 端)。

2.4. 地址烧录模块、显示模块

在帧校验通过后，模式识别模块通过控制字解析是地址烧写还是数据显示，然后把数据分别送到地址烧录模块、数据处理模块。为了使得 LED 驱动芯片接收到正确的显示数据，设计了地址烧录模块，主机发送控制包，通过 CRC 校验后，根据控制字使状态机跳转到地址烧写模式，地址烧录模块将配置包里的地址号送入地址烧写寄存器当中，然后转发自身地址加一后的控制包、CRC5 组装后的 CRC5 校验码，在 LED 驱动芯片级联长度较长时，只需要发送一次地址配置指令。

配置完地址后，主机发送数据包，在模式识别、解码模块中会根据自身的地址来选择数据包里的设备数据，数据包格式如图 10，在完成地址判别后，将对应设备数据号的数据送入显示模块进行 LED 显示寄存器配置。

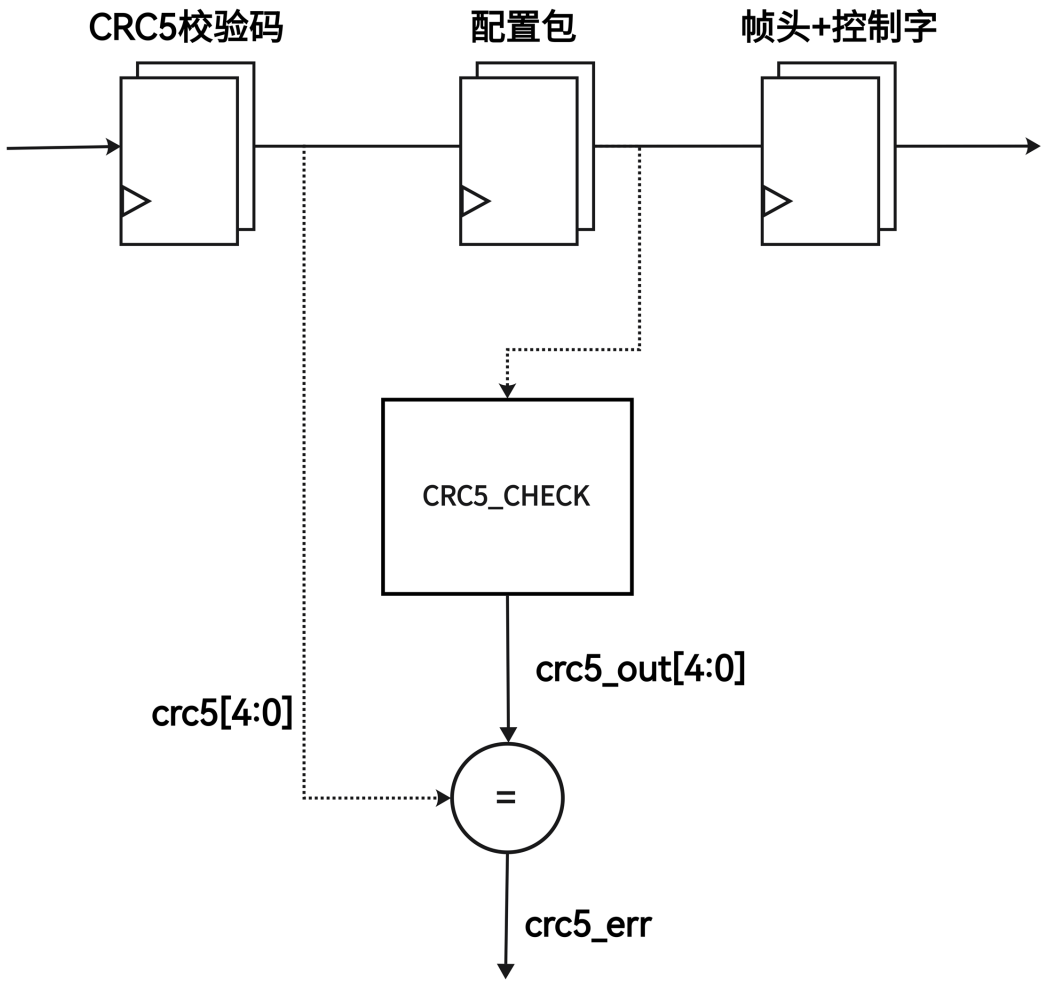

Figure 9. CRC5 check data flow
图 9. CRC5 校验数据流

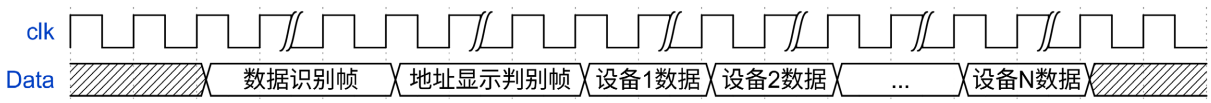

Figure 10. Packet format
图 10. 数据包格式

3. 仿真测试验证

芯片仿真级联结构连接示意图如图 11，模拟使用环境，芯片时钟使用 8 Mhz，基于 Synopsys 公司的 VCS 编译器与 Verdi 波形查看器，搭建验证平台。

在仿真环境搭建后，测试校验功能，PDC 通道和 SDC 通道交替发送 1 次正确数据+3 次错误数据，发送端为 din，观测 dspl_dr[15:0]、dspl_dg[15:0]、dspl_dg[15:0]是否在接收到正确数据后，将显示数据送入显示寄存器当中，以及 frm_err 信号在接收错误帧后是否拉起，以及 3 次错误后是否会通过 mux 切换到另一信号通路(PDC/SDC)。如图 11，芯片 1~4 地址 addr_chip[8:0]分别为 0、1、2、3，发送随机数据，在每颗芯片接收到的正确数据中都会将对应自身地址号的显示数据送入显示寄存器 dspl_dr[15:0]、dspl_dg[15:0]、dspl_dg[15:0]中，接收到错误数据时将显示寄存器清零，并将 frm_err 错误标志位拉高，累计接收 3 次错误数据后，通过 mux 切换至 SDC/PDC，校验功能及切换功能正确。

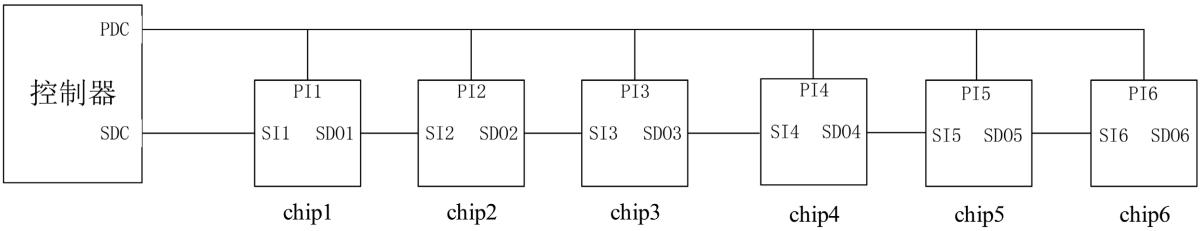

Figure 11. Chip simulation cascade structure
图 11. 芯片仿真级联结构

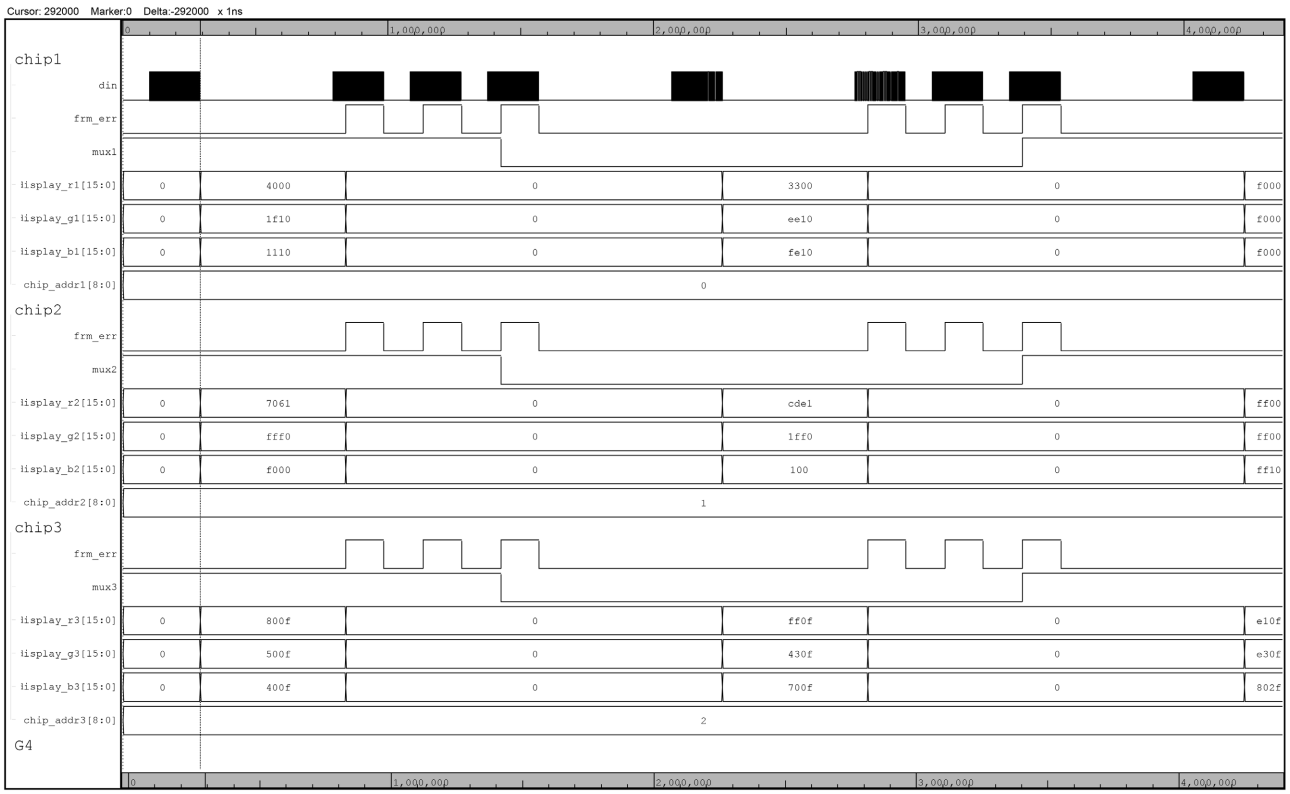

Figure 12. Sending error frames alternately
图 12. 交替发送错误帧

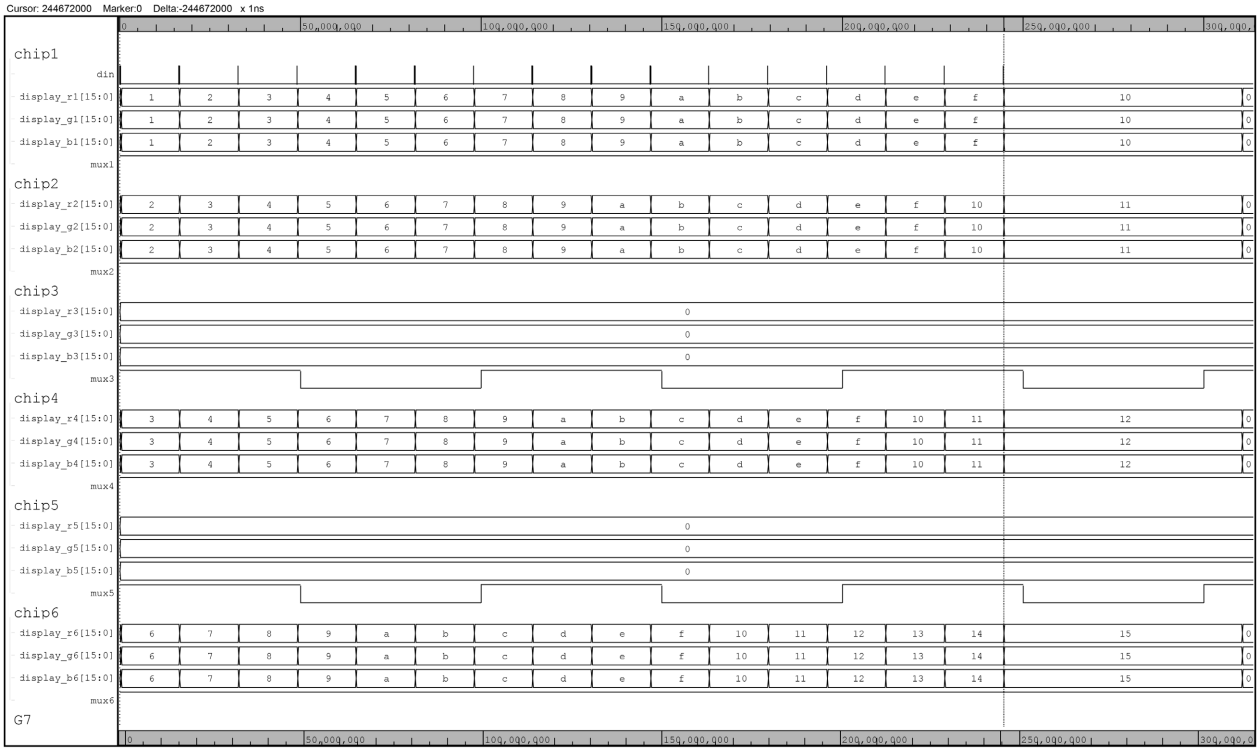

Figure 13. Cascade 6 chips to generate bad points
图 13. 级联 6 颗芯片间隔产生坏点

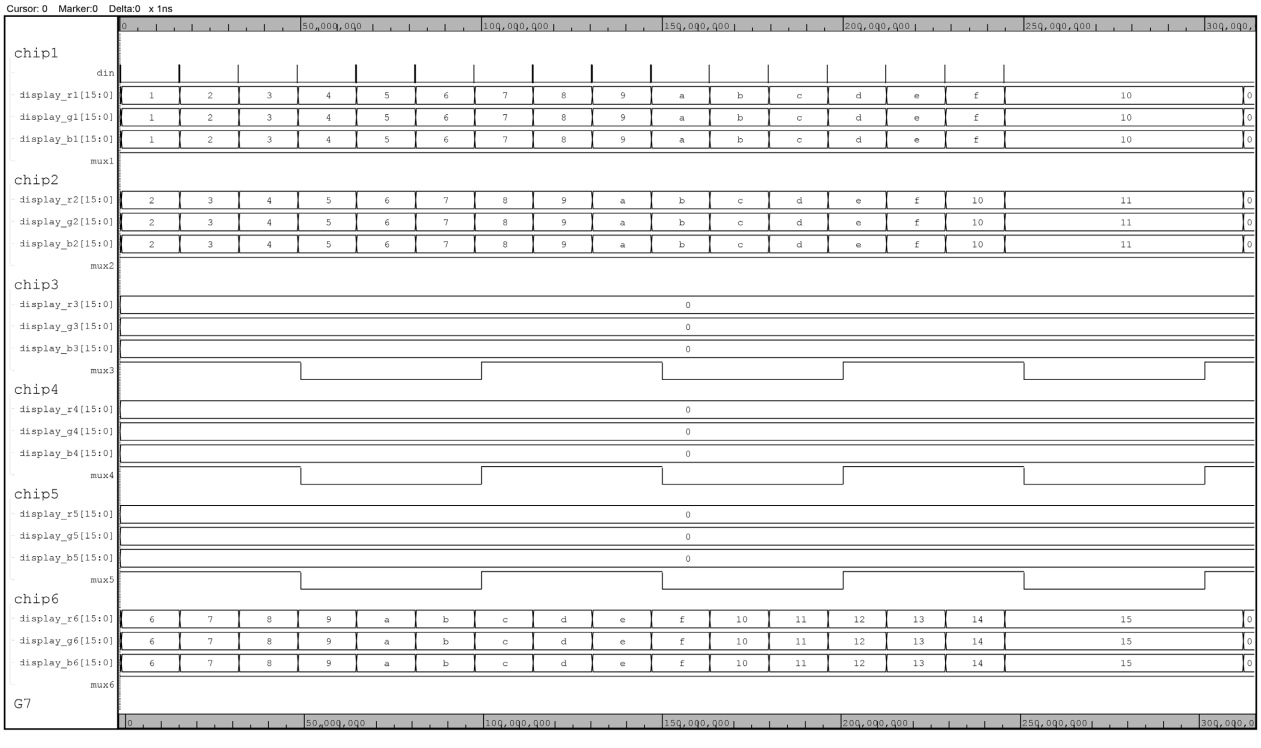

Figure 14. Cascading 6 chips to continuously generate bad points
图 14. 级联 6 颗芯片连续产生坏点

Table 3. Comparison of driving modes
表 3. 驱动方式对比

驱动方式	连续 N 个坏点(N ≥ 3)	两个坏点之间间隔 M 个点(M ≥ 2)
本文	坏点个数 = N	坏点个数 = 2
断点续传	坏点个数 > N/>>N	坏点个数 > M
双线\单线双向	坏点个数 > N	坏点个数 > M
向	坏点个数 > N	坏点个数 > M

如图 12、图 13，在级联 6 颗芯片当中，间隔产生坏点(chip3、chip5 断开)与出现连续 3 个坏点时，发送数据后其余芯片都能正常运行。

如表 3，结果表明，本文设计的驱动方式，能在不同情况的坏点下，保证其余 LED 驱动芯片正常工作，提高了系统可靠性。

4. 总结

本文设计了一种基于冗余通信机制提升了 LED 驱动芯片的可靠性，结合了串行、并行传输特性，在一端口失效时，会切换到备用线路，且出现坏点时，不会干扰到其余驱动设备，弥补了现有传输方式的缺点；使用帧头校验、地址校验、CRC5 校验保证传输的正确；在 LED 驱动芯片级联后配置地址时，使用地址加一的转发功能，只需要发送一帧地址配置命令就能完成所有 LED 驱动芯片的地址配置；同时使用 RZ 码的传输方式，传输口少、接收端更容易同步，增加了冗余度；仿真结果证明了设计的可靠性、合理性。

参考文献

[1] 喻志. 浅谈“定制化”: 小间距、传媒和租赁 LED 显示产品发展之路[J]. 智能建筑电气技术, 2017, 11(6): 70-71, 92.
[2] 洪震. 2021 年新型显示技术发展趋势和产业展望[J]. 照明工程学报, 2021, 32(1): 4-5.
[3] 陈传海. LED 显示行业市场发展前景简析[J]. 中国公共安全, 2019(9): 101-102.
[4] 萧弘清. 智慧照明发展的照明驱动控制趋势及技术展望[J]. 照明工程学报, 2015, 26(5): 4.
[5] 杨雄. 高集成化 LED 显示屏驱动电路的可靠性设计[J]. 中国照明电器, 2025(4): 82-85.
[6] 吕岳敏. LED 显示屏技术现状及发展分析[J]. 电子元器件与信息技术, 2020, 4(11): 107-108.
[7] 黄伟婷. LED 透明屏恒流驱动控制芯片的设计与研究[D]: [硕士学位论文]. 柳州: 广西科技大学, 2024.
[8] 郑伟. 四线制双向数据传输 LED 驱动芯片的研究[D]: [硕士学位论文]. 大连: 大连海事大学, 2023.
[9] 张坤. 基于双向数据传输的透明 LED 显示系统的研究[D]: [硕士学位论文]. 大连: 大连海事大学, 2022.
[10] 范学仕, 王祖锦, 唐茂洁, 等. 一种柔性透明屏 LED 驱动芯片设计与实现[J]. 电子与封装, 2021, 21(7): 5-10.
[11] 王顶. 小点间距 LED 显示屏驱动芯片的研究[D]: [硕士学位论文]. 北京: 北京交通大学, 2017
[12] 李乾男, 龙晓东, 韩彦武. 一种时钟切换电路[J]. 中国集成电路, 2023, 32(3): 47-48.
[13] 蒋安平. 循环冗余校验码(CRC)的硬件并行实现[J]. 微电子学与计算机, 2007(2): 107-109, 112.
[14] 李家栋, 蔚世龙, 黄建东. 一种数据传输系统[P]. 中国专利, 202310633037. 2023-08-08.