

基于状态机与LFSR的FPGA“打地鼠”游戏系统设计

陈初侠*, 沈静雨, 邵倩, 苏安邦, 徐雨豪

巢湖学院集成电路学院, 安徽 巢湖

收稿日期: 2026年5月3日; 录用日期: 2026年5月27日; 发布日期: 2026年6月2日

摘要

随着可编程逻辑器件在互动娱乐领域的应用日益深入, 本文设计并实现了一款基于FPGA的趣味“打地鼠”游戏机系统。该系统以Altera Cyclone IV系列芯片为控制核心, 采用Verilog HDL进行全硬件逻辑描述, 旨在提供一种高实时性、高可靠性的游戏解决方案。系统的核心亮点在于其精巧的逻辑架构: 首先, 利用多项式反馈逻辑构造线性反馈移位寄存器(LFSR), 高效地生成了控制LED地鼠位置的伪随机序列; 其次, 设计了一套包含空闲、激活和防连击等待三个主状态的有限状态机, 它不仅实现了击中计分、超时扣血等基础游戏规则, 还通过引入按键上升沿检测机制, 成功解决了长按作弊与连击误判的技术难题。此外, 系统内置了基于分数梯度的动态难度自适应算法, 能够根据玩家表现自动调整地鼠的出现频率与停留时间, 极大地增强了游戏的可玩性与挑战性。最终, 在小梅哥AC101开发板上的综合板级验证表明: 系统逻辑正确, 状态流转无误; 按键消抖稳定, 随机机制有效; 动态难度调节与音视频反馈现象均与设计预期完全一致。该设计方案为基于FPGA的反应测试类游戏平台开发提供了一种可靠且可扩展的实现范例。

关键词

FPGA, 打地鼠游戏, 线性反馈移位寄存器, 有限状态机, Verilog HDL

Design of FPGA “Whack-a-Mole” Game System Based on State Machine and LFSR

Chuxia Chen*, Jingyu Shen, Qian Shao, Anbang Su, Yuhao Xu

School of Integrated Circuits, Chaohu University, Chaohu Anhui

Received: May 3, 2026; accepted: May 27, 2026; published: June 2, 2026

*通讯作者。

文章引用: 陈初侠, 沈静雨, 邵倩, 苏安邦, 徐雨豪. 基于状态机与LFSR的FPGA“打地鼠”游戏系统设计[J]. 电路与系统, 2026, 15(2): 58-68. DOI: 10.12677/ojcs.2026.15205

Abstract

With the deepening application of programmable logic devices in the field of interactive entertainment, this paper designs and implements a fun “Whack-a-Mole” game console system based on FPGA. The system takes the Altera Cyclone IV series chip as the control core and uses Verilog HDL for full hardware logic description, aiming to provide a high-real-time and high-reliability game solution. The core highlight of the system lies in its ingenious logic architecture: Firstly, a Linear Feedback Shift Register (LFSR) is constructed using polynomial feedback logic, which efficiently generates a pseudo-random sequence to control the positions of the LED “moles”. Secondly, a Finite State Machine comprising three main states—Idle, Active, and Anti-double-click Wait—is designed. It not only realizes basic game rules such as hit scoring and timeout health deduction, but also successfully solves the technical challenges of long-press cheating and double-click misjudgment by introducing a button rising-edge detection mechanism. Furthermore, the system incorporates a dynamic difficulty self-adaptation algorithm based on score gradients, which automatically adjusts the appearance frequency and residence time of the moles according to the player’s performance, greatly enhancing the playability and challenge of the game. Finally, comprehensive board-level verification on the AC101 development board shows that: the system logic is correct, and the state transitions are error-free; the button debouncing is stable, and the random mechanism is effective; the dynamic difficulty adjustment and audio-visual feedback phenomena are completely consistent with the design expectations. This design scheme provides a reliable and scalable implementation paradigm for the development of reaction-testing game platforms based on FPGA.

Keywords

FPGA, Whack-a-Mole Game, Linear Feedback Shift Register, Finite State Machine, Verilog HDL

Copyright © 2026 by author(s) and Hans Publishers Inc.

This work is licensed under the Creative Commons Attribution International License (CC BY 4.0).

<http://creativecommons.org/licenses/by/4.0/>



Open Access

1. 引言

随着微电子技术与电子设计自动化(EDA)技术的飞速发展,现场可编程逻辑门阵列(FPGA)凭借其高并行性、低延迟和可重构等优势,在工业控制、通信信号处理以及互动娱乐设备中得到了广泛应用[1]。与传统的基于单片机(MCU)的串行指令执行方式不同,FPGA采用纯硬件逻辑进行并行处理,能够更加精准地控制外围硬件设备,实现极其苛刻的时序要求[2]。

“打地鼠”是一款经典的益智类互动游戏,常用于游乐场设备或儿童智力开发玩具中,主要用于测试玩家的反应速度与手眼协调能力。在硬件层面上实现该游戏,需要解决真/伪随机数生成、多路按键并发检测及去抖动、游戏状态转换控制等多个技术难点[3]。

本文基于 Altera Cyclone IV 系列 FPGA 芯片,在小梅哥 AC101 开发板上设计并实现了一款多关卡、自适应难度的趣味“打地鼠”游戏机[4]。系统利用线性反馈移位寄存器(LFSR, Linear Feedback Shift Register)算法生成伪随机序列来控制 LED 指示灯模拟地鼠的随机出现[5] [6];采用有限状态机构建游戏核心判决逻辑[7];并结合矩阵键盘扫描、数码管动态显示与无源蜂鸣器驱动,构建了一个完整的人机交互系统[8]。该设计不仅具有较强的娱乐性和实用性,同时也为基于 FPGA 的复杂状态机控制与数字游戏开发提供了一种高效的实现方案。

2. 系统总体设计

2.1. 系统整体架构

本系统采用自顶向下的设计方法，整体系统由 6 个核心子模块构成，所有模块在顶层模块中进行实例化和连线[9]。系统以 50 MHz 的板载有源晶振作为系统时钟，外部输入设备为 4×4 矩阵键盘，输出设备包括 12 个 LED 灯(8 个模拟地鼠，3 个显示生命值，1 个显示游戏结束状态)、8 段数码管以及无源蜂鸣器。系统总体逻辑框图如图 1 所示。

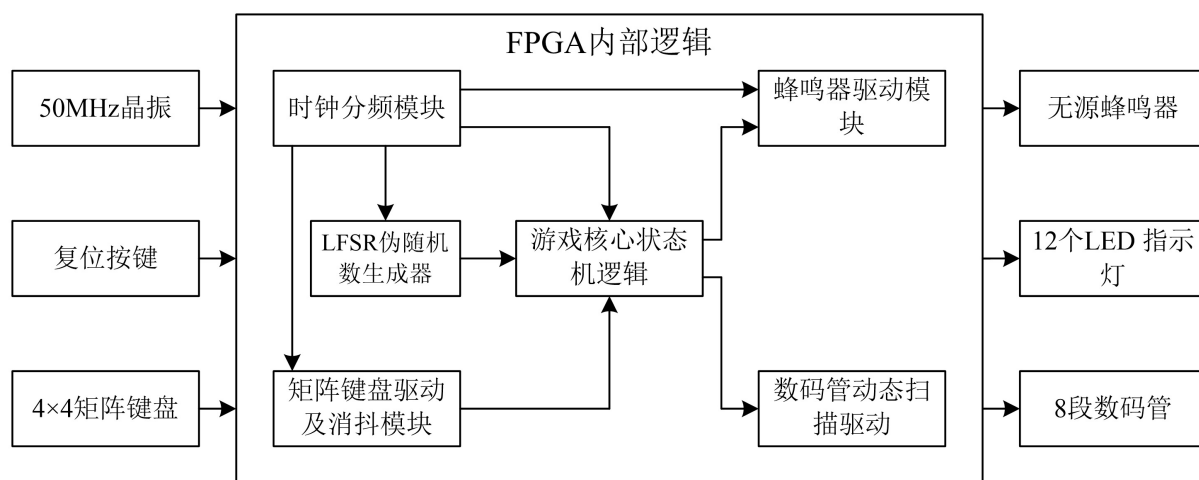


Figure 1. Overall logic block diagram of the system

图 1. 系统总体逻辑框图

2.2. 功能模块划分

结合顶层架构，各子模块的具体功能定义如下：

(1) 时钟分频模块(`clk_div`): 负责将 50 MHz 的高速时钟分频为 1 kHz 的低速节拍时钟(周期 1 ms)，为键盘消抖、随机数生成以及状态机运行提供基准心跳。

(2) 随机数生成模块(`lfsr`): 利用多项式反馈逻辑构造线性反馈移位寄存器，产生 3 位(0~7)的伪随机数，用于决定下一只“地鼠”在 8 个 LED 中的出现位置。

(3) 矩阵键盘与消抖模块(`matrix_keypad`): 采用状态轮询机制扫描前两行键盘(对应 8 个 LED 地鼠位置)，内置 20ms 的延时消抖计数器，确保玩家按键动作的准确提取，防止误触发。

(4) 游戏逻辑状态机模块(`game_logic`): 系统的“大脑”。内置空闲(`S_IDLE`)、激活(`S_ACTIVE`)和等待松手(`S_WAIT_UP`)三个主状态。负责判定击中、失误扣血，以及根据玩家当前得分自动调节地鼠出现间隔与停留时间(难度递增机制)。

(5) 数码管动态显示模块(`seg_display`): 采用 50 MHz 时钟进行快速动态扫描，防止人眼察觉闪烁，将两位十进制分数转化为共阳极数码管的段选码和位选码。

(6) 蜂鸣器音效模块(`buzzer_driver`): 接收来自游戏逻辑模块的“击中”、“失误”及“游戏结束”脉冲，驱动蜂鸣器产生不同频率和时长的提示音。

3. 硬件功能模块详细设计

本系统的核心硬件逻辑全部采用 Verilog HDL 语言进行自顶向下的模块化设计[10]。整个系统主要由

伪随机数生成模块、矩阵键盘扫描与消抖模块、核心控制状态机模块以及视听外设驱动模块构成。本章将对各个模块的逻辑设计原理进行详细阐述。

3.1. 线性反馈移位寄存器(LFSR)模块设计

在“打地鼠”游戏中，地鼠出现位置的不可预测性是保证游戏核心体验的关键。相较于单片机中调用软件函数生成随机数，FPGA 更适合采用纯硬件的线性反馈移位寄存器(LFSR)算法来高速生成伪随机序列。

本设计构建了一个 8 位宽的 LFSR。为避免寄存器陷入全 0 的死锁状态，系统复位时将其初始种子设定为 8'hFF。其反馈多项式选取为：

$$f(x) = x^8 + x^6 + x^5 + x^4 + 1 \quad (1)$$

在 1 kHz 时钟的驱动下，该模块在每个时钟上升沿执行左移操作，并将第 7、5、4、3 位进行异或(XOR)运算后的结果反馈至最低位。由于本平台采用 8 个 LED 模拟地鼠位置，系统直接截取该移位寄存器的低 3 位作为模块输出 rand_out，从而得到 0~7 范围内均匀分布的伪随机数。LFSR 模块符号图如图 2 所示。

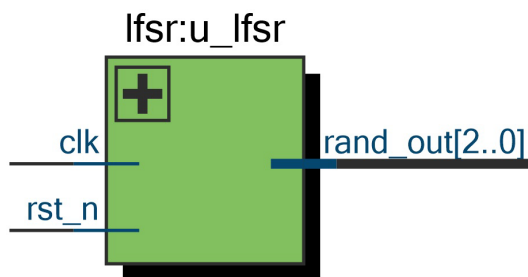


Figure 2. Symbolic diagram of LFSR module
图 2. LFSR 模块符号图

为了验证伪随机数生成的正确性，对该模块进行了时序仿真。如图 3 所示，在复位信号释放后，随着时钟节拍的推进，rand_out 端口输出的 3 位二进制数值在 0~7 之间呈现出无规律的跳变，且没有出现长时间停滞或全 0 的死锁状态，满足了“打地鼠”游戏中地鼠位置随机出现的时序要求。

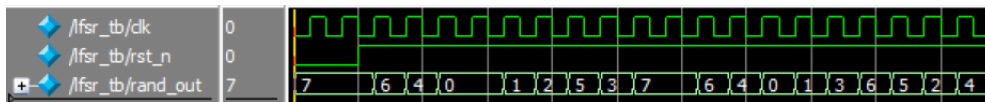


Figure 3. Simulation waveform of pseudo-random number output of LFSR module
图 3. LFSR 模块伪随机数输出仿真波形

3.2. 矩阵键盘扫描与状态消抖模块设计

玩家的击打动作通过 4×4 矩阵键盘进行捕获。由于本设计仅需 8 个按键与 8 个 LED 相对应，因此程序采用了时分复用的逐行扫描策略，仅轮流拉低第 0 行(Row0, 4'b1110)和第 1 行(Row1, 4'b1101)。

由于机械按键在闭合与断开的瞬间会产生高频的机械抖动(通常持续 5~10 ms)，若不加处理会导致系统误判为多次连击[11]。本模块设计了一种基于状态比对的数字消抖算法：系统实时采样当前列线的值并与上一次的稳定值进行比对。若两者不一致，说明按键处于抖动状态，立即清零内部的消抖计数器；若

两者一致，则计数器开始累加。只有当按键状态稳定保持 20 ms (即计数器在 1 kHz 时钟下计满 20 次)以上时，系统才确认按键有效，并更新输出键值 `key_out`。该算法有效滤除了毛刺干扰，保证了击打判定的可靠性。键盘消抖模块符号图如图 4 所示。

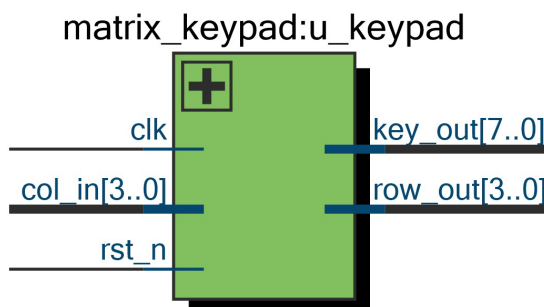


Figure 4. Symbol diagram of the keyboard debouncing module
图 4. 键盘消抖模块符号图

按键消抖的仿真验证是保证系统输入可靠性的关键。为了验证算法的有效性，在仿真环境中人为构造了带有机械毛刺的按键输入信号[12]。如图 5 所示，以按下某按键为例，模拟了列输入信号 `col_in` 在闭合瞬间产生的多次高低电平跳变(即图中 `col_in` 变为 1110 初期的抖动现象)。

从仿真波形可以清晰地观察到：在 `col_in` 信号的毛刺抖动期间，系统的输出键值 `key_out` 始终保持为无按键状态(00000000)，并未发生任何误触发。只有当 `col_in` 信号彻底度过抖动期，稳定保持在低电平(1110)并维持满预设的消抖时间阈值后，系统才判定该次按键闭合有效，并在输出端同步更新稳态键值(00010001)。同理，在按键释放阶段，模块同样有效地过滤了释放毛刺。该仿真结果直观且有力地证明了本设计成功滤除了机械抖动，实现了稳定、准确的按键状态提取。

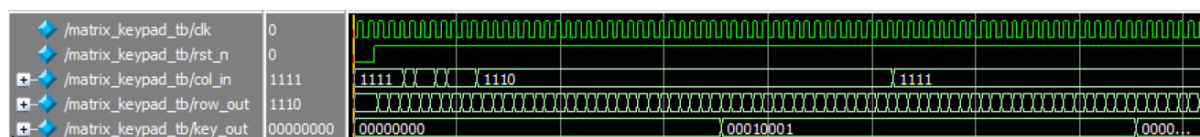


Figure 5. Simulation waveform diagram of keyboard debouncing
图 5. 键盘消抖仿真波形图

3.3. 游戏核心控制逻辑与状态机设计

游戏核心逻辑模块是整个系统的“大脑”，负责接收随机数与有效键值，统筹地鼠的生成、计分规则判定以及难度动态调节。本模块采用有限状态机架构设计，其模块符号图如图 6 所示。

状态机被严谨地划分为以下三个主状态：

(1) 空闲等待状态：系统处于预备期，所有 LED 熄灭。当内部的间隔计时器到达预设的阈值后，系统读取 LFSR 模块的随机数，通过动态移位操作点亮对应位置的 LED，并将状态同步跳转至地鼠激活状态。

(2) 地鼠激活状态：系统在此状态下开启超时计时，并实时检测按键动作。为防止玩家采用“长时间按住某个键”的作弊手段，代码中引入了严格的按键上升沿检测逻辑：即只有在按键按下的瞬间，且键值与当前点亮的 LED 位置完全匹配时，才判定为“击中”，得分自动加 1；若玩家按错位置或超时未按，则判定为“失误”，生命值减 1。判定完成后，系统立即熄灭 LED 并跳转至防连击等待状态。

(3) 防连击等待状态：该状态为本设计的特色防呆机制，核心作用是强制要求玩家必须释放按键。系统持续轮询键盘状态，只有当检测到所有按键均已释放时，状态机才被允许重新回到空闲等待状态准备生成下一只地鼠。这一闭环机制从底层逻辑上彻底杜绝了异常刷分行为。

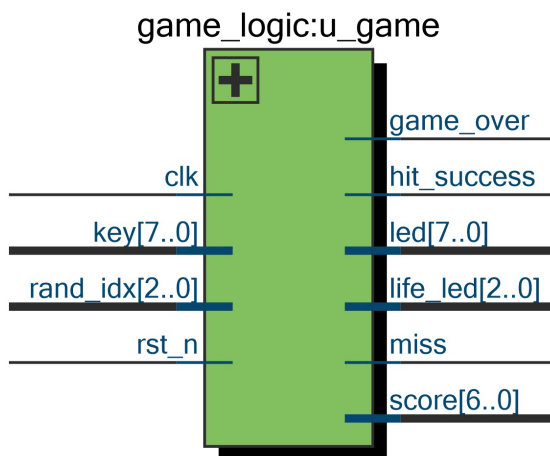


Figure 6. Symbolic diagram of the core logic module of the game
图 6. 游戏核心逻辑模块符号图

为了全面验证核心状态机的完备性，本节针对 game_logic 模块进行了系统级的时序仿真。如图 7 所示，测试激励完整覆盖了击中、超时、按错以及游戏复位四个核心场景：

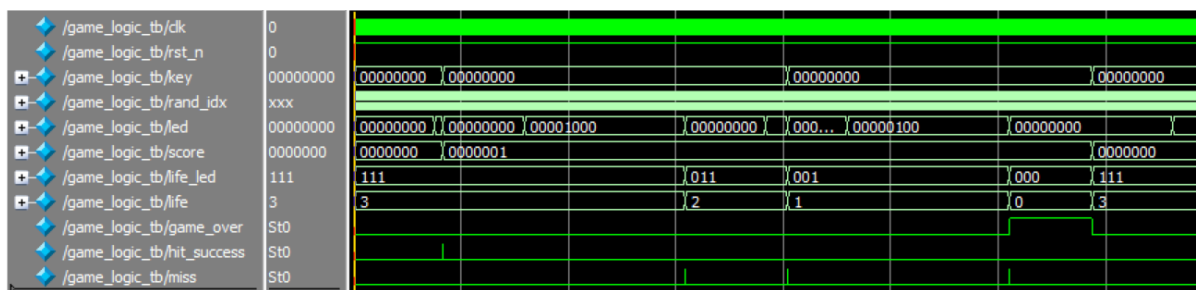


Figure 7. Simulation waveform diagram of the core logic of the game
图 7. 游戏核心逻辑仿真波形图

(1) 有效击中逻辑：在复位释放 1.5 s 后，led 端口输出随机位置，系统进入激活态。当检测到 key 端口输入与 led 匹配的正确键值时，hit_success 产生高电平脉冲，score 得分寄存器同步加 1，随后 led 立即清零，状态机跳转至防连击状态，计分逻辑工作精准无误。

(2) 超时与误触扣血逻辑：在第二和第三只地鼠生成周期中，分别模拟了“超时未按键”与“输入错误键值”两种失误情况。仿真波形清晰显示，当停留时间计满 3.0 s 或检测到错误按键时，系统产生 miss 脉冲，剩余生命值 life 依次从 3 递减至 1，验证了失误判罚机制的可靠性。

(3) 游戏终结与状态恢复逻辑：当连续失误导致 life 归零时，game_over 标志位被成功拉高，系统锁定并停止生成地鼠。此时模拟输入一个任意键值，可观察到 score 被清零，life 恢复初始值 3，game_over 标志清除，系统重新回到空闲状态开启新一轮游戏。该仿真结果充分证明了游戏核心控制逻辑具有极高的健壮性与完备的容错闭环。

作的场景。当玩家超时未按或按错按键时, 生命值 LED 会熄灭一颗(如图中仅剩 1 颗点亮), 验证了失误判罚机制的准确性。

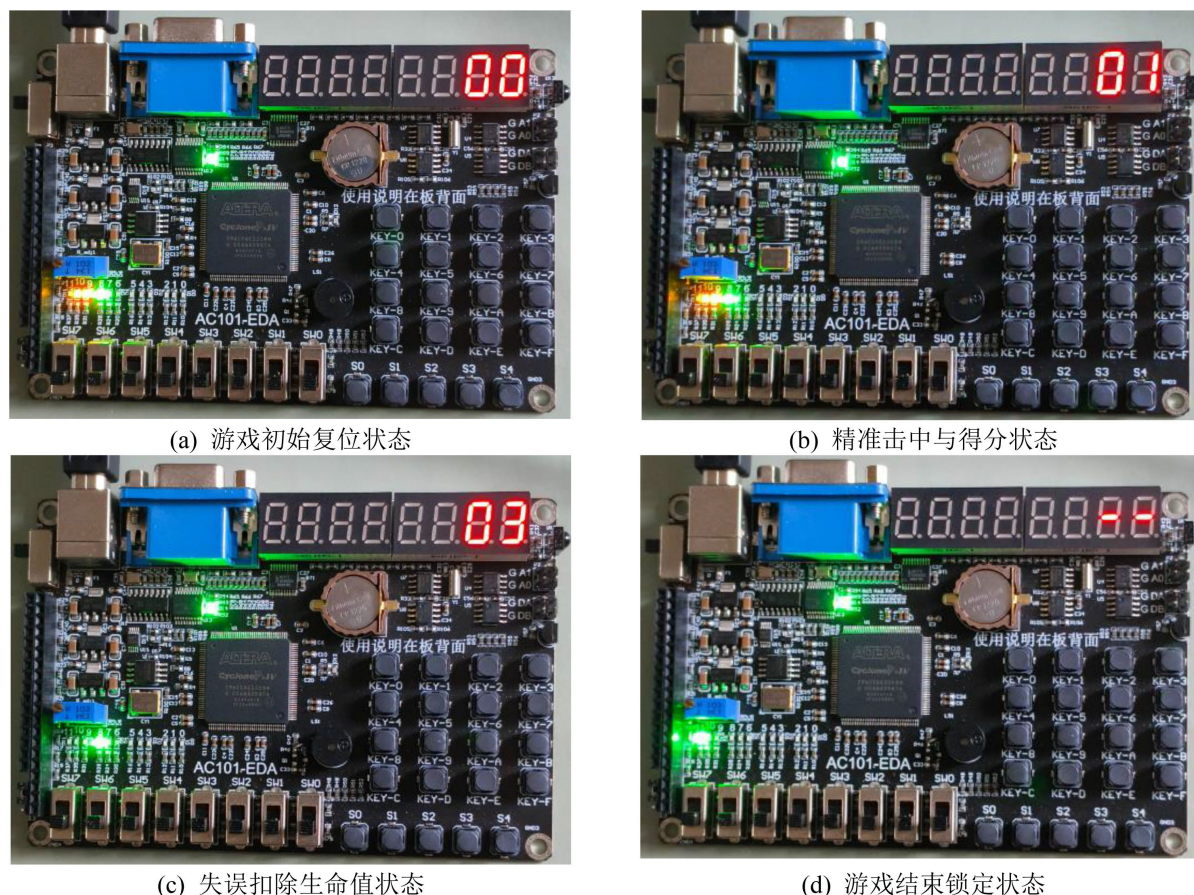


Figure 9. Physical diagram of board-level verification of the system core status

图 9. 系统核心状态板级验证实物图

随着游戏进行, 动态难度调节机制的效果也得到了验证。通过秒表辅助观察, 当得分突破 10 分和 20 分两个临界点时, 地鼠的切换频率肉眼可见地明显加快, 实测现象与表 1 中的理论设计参数完全吻合。

Table 1. Statistical table of measured data for the system's dynamic difficulty adaptive mechanism

表 1. 系统动态难度自适应机制实测数据统计表

玩家当前得分区间	实测地鼠亮起停留时间	实测地鼠产生间隔时间	游戏难度主观评价
0~9 分	约 3.0 秒	约 1.5 秒	低(新手适应期)
10~19 分	约 2.0 秒	约 1.0 秒	中(进阶挑战期)
20 分及以上	约 1.0 秒	约 0.5 秒	高(极限反应期)

最后, 当连续失误导致 3 颗生命值 LED 全部熄灭时, 系统进入游戏结束状态, 如图 9(d)所示。此时, 数码管显示由十进制分数变更为横杠“---”, 游戏结束指示灯(led [11])常亮, 同时蜂鸣器发出高频报警音。在此状态下按下任意键, 系统可无缝复位并开启新一轮游戏, 证明了状态机具有出色的容错恢复能力。

综合全部板级测试结果，本设计在硬件层面实现了稳定、流畅且逻辑严谨的“打地鼠”游戏体验，各项功能均达到了预期的设计目标。

4.3. 综合结果与时序性能评估

为了进一步量化评估本系统的硬件设计效率与时序稳定性，本文在 Quartus Prime 18.1 开发环境下对工程进行了全编译，并利用集成在其中的 Timing Analyzer 工具进行了深度分析。

4.3.1. 资源利用率统计

本设计的目标芯片为 Altera Cyclone IV 系列的 EP4CE6E22C8。经过综合与布局布线后的资源消耗情况如表 2 所示。

Table 2. Summary of FPGA resource utilization

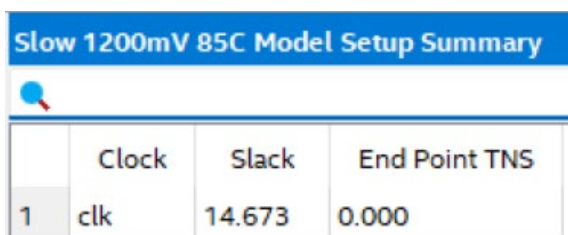
表 2. FPGA 资源利用率统计表

资源类型	实际消耗量	芯片总容量	资源利用率
逻辑单元(Logic Elements)	375	6,272	6.0%
专用逻辑寄存器(Registers)	163	6,272	2.6%
存储器比特数(Memory Bits)	0	276,480	0%
物理引脚(I/O Pins)	39	92	42.4%

从表 2 的量化数据可以看出，系统仅消耗了约 6% 的逻辑单元和 2.6% 的寄存器资源。极低的逻辑资源开销证明了本文所采用的状态机架构及模块化设计的精简性，为后续扩展如 I2C 存储控制器或多路 VGA 视频输出等高复杂度功能预留了超过 90% 的片上空间。

4.3.2. 时序性能量化分析

在时序约束方面，系统设定全局主频为 50 MHz (对应时钟周期为 20 ns)。为确保数据的严谨性，本文选取了 Slow 1200mV 85C 这一最严苛的硬件模型进行时序性能评估。具体的时序分析报告如图 10 所示。



Slow 1200mV 85C Model Setup Summary			
	Clock	Slack	End Point TNS
1	clk	14.673	0.000

Figure 10. The timing analysis report of the system (Setup Summary)

图 10. 系统的时序分析报告 (Setup Summary)

根据时序报告分析，本系统的核心性能指标如下：

(1) 最高工作频率(Fmax): 系统的理论最高运行频率高达 187.72 MHz。这表明在当前的 50 MHz 工作环境下，系统具有极高的性能裕量(约 3.75 倍频率冗余)。

(2) 建立时间裕量(Setup Slack): 系统的建立时间裕量高达 14.673 ns。在时序分析中，Slack 为正数且数值较大代表电路在高速运行下具有极佳的稳定性。

(3) 关键路径延迟(Critical Path Delay): 经推算, 信号在系统最慢路径上的耗时仅为 5.327 ns (20 ns~14.673 ns)。

综上所述, 量化分析结果表明, 本 FPGA 设计实现了纳秒(ns)级的逻辑响应速度, 远超传统单片机(微秒级响应)的处理能力。这种极高的时序可靠性与性能裕量, 保证了打地鼠游戏系统在面对玩家高频、随机的按键输入时, 能够实现瞬间响应与精准的状态跳转。

5. 结束语与系统扩展展望

本文基于 Altera Cyclone IV 系列 FPGA 硬件平台, 采用 Verilog HDL 成功设计并实现了一款功能完备的“打地鼠”游戏机系统。设计构建了包含 LFSR 伪随机数生成、矩阵键盘消抖、核心控制状态机及视听外设驱动在内的完整硬件闭环, 通过板级验证确认了防连击机制与动态难度调节算法的有效性, 实现了稳定流畅的人机交互。

在现有架构基础上, 为了进一步提升系统的工程应用价值与娱乐性, 未来可重点围绕以下两个扩展模块进行深度开发:

(1) 基于 I2C 协议的最高分掉电保存设计(数据持久化)

当前系统的得分在断电后即清零。后续设计中, 计划通过 FPGA 的 GPIO 模拟 I2C 串行总线时序, 外接 EEPROM (如 AT24C02) 非易失性存储器。在此扩展中, FPGA 将作为主设备(Master), 需额外设计一个 I2C 控制状态机(包含 START、SEND_ADDR、WRITE_DATA、ACK_CHECK、STOP 等状态)。当游戏进入 game_over 状态时, 系统自动将当前得分与 EEPROM 中读取的历史最高分进行比对, 若打破记录, 则触发 I2C 写操作进行覆盖。这一扩展不仅能完善游戏机制, 更能充分展示 FPGA 驱动复杂串行通信时序协议的强大能力。

(2) VGA/HDMI 图形化显示控制(视觉交互升级)

将当前的 LED 阵列升级为 VGA 或 HDMI 全彩图形化界面, 是提升沉浸感的关键, 但也面临显著的硬件设计挑战。首先是时序生成挑战, FPGA 需要通过内部 PLL(锁相环)精准生成对应的像素时钟(Pixel Clock, 如 640x480@60Hz 需 25 MHz), 并严格按照 VESA 标准生成行同步(HSYNC)与场同步(VSYNC)以及消隐前/后肩时序; 其次是帧缓冲(Frame Buffer)管理挑战, 高清图像的存储远超 FPGA 片上 M9K 存储器的容量, 解决方案是外挂 SDRAM 或 DDR 存储器, 并设计多端口内存控制器(Multi-port Memory Controller), 以解决视频读取与游戏状态写入的跨时钟域带宽冲突问题。

综上所述, 本系统的研究方法不仅实现了既定的游戏功能, 也为后续在图像加密算法的 FPGA 硬件加速及复杂异常流动的智能判定逻辑实现中提供了重要的基础架构参考。

基金项目

本研究得到了巢湖学院 2024 年校级教学改革与研究项目(项目编号: x24jyxm02)、巢湖学院 2021 年度省级质量工程项目(项目编号: 2021jyxm1005)、企业委托技术开发横向项目“基于混沌与位平面的图像加密算法研究及 FPGA 实现(项目编号: hxkt20240285)”、企业委托技术开发横向项目“基于机器学习的财政资金异常流动智能预警模型研究(项目编号: hxkt2511021)”的支持。

参考文献

- [1] 刘红伟, 周宇, 李茂娇, 等. 一种基于 FPGA 资源的并行计算系统设计及实现[J]. 电子技术应用, 2025, 51(12): 8-13.
- [2] 郝子坤, 卫建华, 罗鑫迪. 基于 FPGA 的运动目标检测与跟踪系统设计及实现[J]. 信息技术与信息化, 2025(11): 45-49.

- [3] 周慧灵, 杨淑惠. 基于 FPGA 的物联智能化拔河游戏系统设计实现[J]. 科技创新与生产力, 2025, 46(7): 107-109+113.
- [4] 杨楠, 肖军. 基于 FPGA 与 MRFO 算法的交通信号灯智能控制方法[J]. 现代电子技术, 2025, 48(20): 51-55.
- [5] 彭雅岚, 肖顺文. 基于 FPGA 的 LFSR 结构伪随机数发生器的实现[J]. 数字技术与应用, 2018, 36(3): 91-92.
- [6] 潘必韬, 聂小龙, 王祖强. 基于 FPGA 的 LFSR 异步加解密系统[J]. 电子技术应用, 2016, 42(6): 56-58.
- [7] 丁宗杰, 门永平, 白正尧, 等. FPGA 状态机综合可靠性探究[J]. 空间电子技术, 2021, 18(1): 23-27.
- [8] 李莹, 吕兆承, 施勇. 基于 FPGA 的俄罗斯方块游戏设计与实现[J]. 通化师范学院学报, 2022, 43(2): 118-122.
- [9] 吴小红. 基于 FPGA 的多功能数字钟的设计与实现[J]. 电子测试, 2018(22): 19-20+22.
- [10] 徐华伟, 林凡. 基于 FPGA 的推箱子游戏设计与实现[J]. 电子制作, 2019(19): 24-26.
- [11] 金伟正, 夏可为, 李皓, 等. 基于无线游戏的 FPGA 创新实验系统[J]. 电气电子教学学报, 2019, 41(2): 85-88.
- [12] 杨浩然, 李晓博, 金星宇, 等. 基于 FPGA 的电子密码锁系统设计[J]. 电子制作, 2024, 32(20): 102-104.